

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-369505

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H02M 3/155

(21)Application number : 2001-171913

(71)Applicant : HITACHI LTD

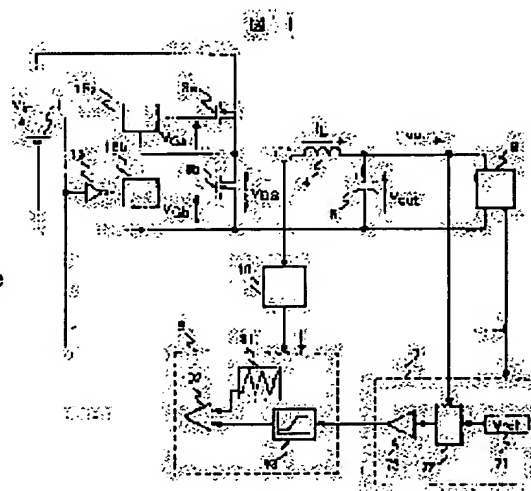
(22)Date of filing : 07.06.2001

(72)Inventor : KANOUDA TAMAHICO
ONDA KENICHI
TOKUNAGA KIICHI
SAGA RYOHEI
HOSOKAWA KYOICHI

(54) DC-DC CONVERTER AND CONTROL METHOD THEREFOR**(57)Abstract:**

PROBLEM TO BE SOLVED: To obtain a low-ripple voltage DC-DC converter, that is constituted to quickly change its output voltage, regardless of the load by providing a bidirectional power converting means between input power and a smoothing capacitor.

SOLUTION: This non-insulated step-down DC-DC converter is provided with a main circuit, constituted of at least two semiconductor elements, a DC reactor, and the smoothing capacitor. This converter is also provided with a means which generates a reference voltage of different set values, a means which outputs error information by comparing the reference voltage generated by means of the reference voltage generating means with the output voltage of the converter, and a means which generates signals impressed upon the control terminals of the semiconductor elements, based on the error information. In addition, this converter is also provided with a means which identifies the direction of the current flowing to the DC reactor.

**LEGAL STATUS**

[Date of request for examination]

06.05.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The DC-DC converter characterized by having a power conversion means to perform power conversion bidirectional between DC power supply, the 1st charge storage means for carrying out smooth [of the output], and said DC power supply and said 1st charge storage means in the DC-DC converter which carries out smooth [of the input from DC power supply], and supplies the set-up output voltage to a load.

[Claim 2] In a DC-DC converter according to claim 1 said power conversion means The 1st reactor which connects said DC power supply and said 1st charge storage means to a serial, The 1st switching element prepared between said 1st reactor and ends of DC power supply, The 2nd switching element to which the end was connected between said 1st reactor and said 1st switching element, Provide and said power conversion is performed using the excitation energy of said 1st reactor produced by control of said the 1st and 2nd switching element. In a steady state, power in said 1st direction of a charge storage means from said DC power supply Delivery, The DC-DC converter characterized by sending power in said direction of DC power supply from said 1st charge storage means at the period which lowers delivery and output voltage for power to another set point in said 1st direction of a charge storage means from said DC power supply at the period which raises output voltage to the set point.

[Claim 3] It is the DC-DC converter which said DC power supply are power sources which can be charged in a DC-DC converter according to claim 2, and is characterized by reviving the power sent to DC power supply from said 1st charge storage means with said power conversion means to said DC power supply at the period which lowers said output voltage.

[Claim 4] The DC-DC converter characterized by reviving the power sent to DC power supply from said 1st charge storage means by said power conversion means for said 2nd charge storage means at the period which has the 2nd charge storage means connected to said DC power supply and juxtaposition in a DC-DC converter according to claim 2, and lowers said output voltage.

[Claim 5] It is the DC-DC converter characterized by to have the discharge circuit which discharges the stored charge of DC power supply, the 1st charge storage means for carrying out smooth [of the output], and said 1st charge storage means in the DC-DC converter which carries out smooth [of the input from DC power supply], and supplies the set-up output voltage value to an integrated circuit, and for said discharge circuit to operate at the period which lowers output voltage to the set point, and to discharge the stored charge of said 1st charge storage means.

[Claim 6] In a DC-DC converter according to claim 5 said discharge circuit The 2nd reactor which connects said DC power supply and said 1st charge storage means to a serial, The 3rd switching element arranged between this 2nd reactor and the end of DC power supply is provided. The DC-DC converter characterized by discharging the stored charge of said 1st charge storage means to the set point at the period which lowers output voltage using the excitation energy of said 2nd reactor produced by control of said 3rd switching element.

[Claim 7] It is the DC-DC converter which said DC power supply are power sources which can be charged in a DC-DC converter according to claim 5, and is characterized by reviving the stored charge of said 1st charge storage means to said DC power supply in the transition stage which lowers output voltage to the set point using the excitation energy of said 2nd reactor produced by control of said 3rd switching element.

[Claim 8] The DC-DC converter characterized by reviving the stored charge of said 1st charge storage means for said 2nd charge storage means in the transition stage which has the 2nd charge storage means connected to said DC power supply and juxtaposition in a DC-DC converter according to claim 5, and lowers output voltage

to the set point using the excitation energy of said 2nd reactor produced by control of said 3rd switching element.

[Claim 9] A setup of said output voltage value is a DC-DC converter given in any of claim 1 characterized by being made based on the command from the outside, or claim 5 they are.

[Claim 10] A setup of said output voltage value is a DC-DC converter given in any of claim 1 characterized by being made based on the command from said integrated circuit, or claim 5 they are.

[Claim 11] Said integrated circuit is a DC-DC converter given in any of claim 1 characterized by being CPU (Central Processing Unit), or claim 5 they are.

[Claim 12] A DC-DC converter given in any of claim 1 characterized by including the case where the power supplied to an integrated circuit is intercepted in a setup which lowers said output voltage, or claim 5 they are.

[Claim 13] A DC-DC converter given in any of claim 1 to which said 1st charge storage means is characterized by being an electric double layer capacitor, or claim 5 they are.

[Claim 14] In the control approach of the DC-DC converter which carries out smooth [of the input from DC power supply], and supplies the set-up output voltage to an integrated circuit The 1st reactor with which said DC-DC converter was formed between the input of said DC power supply, and the integrated circuit, At the time of the stationary which supplies the electrical potential difference which is equipped with the 1st charge storage means connected to an integrated circuit and juxtaposition between said 1st reactor and integrated circuits, and was set as said integrated circuit In the transition stage which raises the forward current from the DC-power-supply side of said 1st reactor to an integrated-circuit side to a sink, and raises output voltage to another set point In the transition stage which passes the forward current from the DC-power-supply side of said 1st reactor to an integrated-circuit side, charges said 1st charge storage means, raises output voltage, and lowers output voltage to still more nearly another set point The control approach of the DC-DC converter characterized by passing the reverse current from the integrated-circuit side of said 1st reactor to a DC-power-supply side, discharging the stored charge of said 1st charge storage means, and lowering output voltage.

[Claim 15] The 1st switching element by which said DC-DC converter was formed between said 1st reactor and ends of DC power supply in the control approach of a DC-DC converter according to claim 14, Have the 2nd switching element to which the end was connected between said reactor and said 1st switching element, and it carries out smooth [of the input from said DC power supply]. When supplying the set-up electrical potential difference to an integrated circuit When it flows through said 1st switching element, said 2nd switching element is intercepted. The 1st step which charges a charge at said 1st charge storage means while passing a current from said DC power supply to said 1st reactor and conserving excitation energy, When said 1st switching element is intercepted, the 2nd step which said 2nd switching element flows, and the current of said 1st reactor is made to flow back to said 2nd switching element, and emits said excitation energy In supplying an integrated circuit repeatedly one by one and lowering output voltage to the set point Even if it finishes emitting said excitation energy in said 2nd step, said 2nd switching element is held to switch-on. The control approach of the DC-DC converter characterized by passing a reverse current from the integrated-circuit side of said 1st reactor to a DC-power-supply side, consuming the stored charge of said 1st charge storage means with the internal resistance of said 2nd switching element which flowed, and lowering output voltage.

[Claim 16] In the control approach of the DC-DC converter which carries out smooth [of the input from DC power supply], and supplies the set-up output voltage to an integrated circuit The 1st reactor with which said DC-DC converter was formed between the input of said DC power supply, and the integrated circuit, The 1st charge storage means connected to an integrated circuit and juxtaposition between said 1st reactor and integrated circuits is provided. When it is the power source which can charge said DC power supply and the electrical potential difference set as said integrated circuit is supplied In raising the forward current from the DC-power-supply side of said 1st reactor to an integrated-circuit side to a sink and raising output voltage to another set point In charging a sink and said 1st charge storage means for the forward current from the DC-power-supply side of said 1st reactor to an integrated-circuit side, raising output voltage and lowering output voltage to still more nearly another set point The control approach of the DC-DC converter characterized by passing the reverse current from the integrated-circuit side of said 1st reactor to a DC-power-supply side, making the stored charge of said 1st charge storage means discharge, reviving the stored charge of said 1st charge storage means to said DC power supply, and lowering output voltage.

[Claim 17] The 1st switching element by which said DC-DC converter was formed between said 1st reactor and ends of DC power supply in the control approach of a DC-DC converter according to claim 16, Have the 2nd

switching element to which the end was connected between said 1st reactor and said 1st switching element, and it carries out smooth [of the input from said DC power supply]. When supplying the set-up electrical potential difference to an integrated circuit and it flows through said 1st switching element The 1st step which charges a charge at said 1st charge storage means while intercepting said 2nd switching element, passing a current from said DC power supply to said 1st reactor and conserving excitation energy, When said 1st switching element is intercepted The 2nd step which said 2nd switching element flows, and the current of said 1st reactor is made to flow back to said 2nd switching element, and emits said excitation energy At the period which supplies the input from the repeat deed aforementioned DC power supply to an integrated circuit one by one, and lowers output voltage to another set point Even if it finishes emitting said excitation energy at said 2nd step, said 2nd switching element is held to switch-on. When a reverse current begins to flow from the integrated-circuit side of said 1st reactor to a DC-power-supply side When said 2nd switching element flows, intercept said 1st switching element, and a reverse current is passed from the integrated-circuit side of said 1st reactor to a DC-power-supply side. The 3rd step which changes the stored charge of said 1st charge storage means into excitation energy, When said 2nd switching element is intercepted, said 1st switching element flows. It is the control approach of the DC-DC converter characterized by for a repeat line discharging the stored charge of said 1st charge storage means, reviving the 4th step which emits said excitation energy of said 1st reactor to said DC power supply one by one, and lowering output voltage.

[Claim 18] In the control approach of a DC-DC converter according to claim 16, 2nd charge storage means by which said DC-DC converter is connected to said DC power supply and juxtaposition is provided. At the period which lowers output voltage to said another set point Even if it finishes emitting said excitation energy in said 2nd step, said 2nd switching element is held to switch-on. When a reverse current begins to flow from the integrated-circuit side of said 1st reactor to a DC-power-supply side It is the control approach of the DC-DC converter characterized by said thing [a repeat line discharging the stored charge of said 1st charge storage means, reviving the 3rd and the 4th step for said 2nd charge storage means one by one, and lowering output voltage].

[Claim 19] In the control approach of a DC-DC converter given in any of claim 14 or claim 16 they are When supplying this programmed voltage to an integrated circuit after it discharges the stored charge of said 1st charge storage means and output voltage reaches another set point to said pan Make it flow through said 1st switching element, and said 2nd switching element is intercepted. The control approach of the DC-DC converter characterized by said thing [repeating the 1st and the 2nd step successively and performing them] since a current begins to flow in the direction which connects said 1st reactor with an integrated circuit from said DC-power-supply side.

[Claim 20] The control approach of the DC-DC converter characterized by making a setup of an output voltage value, repeating said 1st [the] and the 2nd step successively in the control approach of a DC-DC converter given in any of claim 14 or claim 16 they are if said 1st step is held and predetermined output voltage is reached until it reaches predetermined output voltage in the transition stage which raises output voltage to the set point, and carrying out.

[Claim 21] In the control approach of the DC-DC converter which carries out smooth [of the input from DC power supply], and supplies the set-up output voltage to an integrated circuit The 1st reactor with which said DC-DC converter was formed between the input of said DC power supply, and the integrated circuit, It has the discharge circuit of the stored charge of the 1st charge storage means connected to an integrated circuit and juxtaposition, and said 1st charge storage means between said 1st reactor and integrated circuits. When supplying the electrical potential difference set as said integrated circuit A sink and the period which raises output voltage to another set point the forward current from the DC-power-supply side of said 1st reactor to an integrated-circuit side The forward current from the DC-power-supply side of said 1st reactor to an integrated-circuit side A sink, Charge said 1st charge storage means and raise output voltage, and the period which lowers output voltage to still more nearly another set point operates said discharge circuit, and discharges the stored charge of said 1st charge storage means. The control approach of the DC-DC converter characterized by stopping actuation of said discharge circuit if it becomes predetermined output voltage.

[Claim 22] In the control approach of a DC-DC converter according to claim 21, said DC power supply are power sources which can be charged. The discharge circuit of said DC-DC converter The 2nd reactor which connects said DC power supply and integrated circuit to a serial at least, The period which possesses said 2nd reactor and the 3rd switching element prepared between the ends of said DC power supply, and lowers output

voltage to said another set point. Flow through said 3rd switching element and a current is passed from the integrated-circuit side of said 2nd reactor to a DC-power-supply side. The 5th step which changes the stored charge of said 1st charge storage means into excitation energy, It is the control approach of the DC-DC converter characterized by intercepting said 3rd switching element, and for a repeat line discharging the stored charge of said 1st charge storage means, and reviving the 6th step which emits said excitation energy of said 2nd reactor to said DC power supply one by one.

[Claim 23] It is the control approach of the DC-DC converter characterized by for the period which said DC-DC converter has 2nd charge storage means to connect with said DC power supply and juxtaposition, in the control approach of a DC-DC converter according to claim 21, and lowers output voltage to said another set point discharging said 5th [the] and the 6th step, and for a repeat line discharging the stored charge of said 1st charge storage means one by one, and reviving for said 2nd charge storage means.

[Claim 24] It is the control approach of the DC-DC converter characterized by making a setup of said output voltage based on the command from the outside in the control approach of a DC-DC converter given in any of claim 14, claim 16, and claim 21 they are.

[Claim 25] It is the control approach of the DC-DC converter characterized by making a setup of said output voltage based on the command from said integrated circuit in the control approach of a DC-DC converter given in any of claim 14, claim 16, and claim 21 they are.

[Claim 26] It is the control approach of the DC-DC converter characterized by said integrated circuit being CPU in the control approach of a DC-DC converter given in any of claim 14, claim 16, and claim 21 they are.

[Claim 27] The control approach of the DC-DC converter characterized by including the case where the power supplied to an integrated circuit is intercepted with a setup which lowers said output voltage in the control approach of a DC-DC converter given in any of claim 14, claim 16, and claim 21 they are.

[Claim 28] It is the control approach of the DC-DC converter characterized by said 1st charge storage means being an electric double layer capacitor in the control approach of a DC-DC converter given in any of claim 14, claim 16, and claim 21 they are.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] The invention in this application relates to the DC-DC converter which makes the input of DC power supply the set-up direct-current output voltage, and supplies it to an integrated circuit.

[0002]

[Description of the Prior Art] In recent years, what has a high throughput is demanded also of CPU (Central Processing Unit: arithmetic and program control) carried with high-performance-izing of a cellular phone or a mobile related equipment which makes a dc-battery an energy source. On the other hand, as for dc-battery drive time amount, the further long duration-ization is called for. For power consumption reduction, especially supply voltage tends to fall and what has high conversion efficiency is needed for the power unit of a pocket device.

[0003] Generally as a power unit of a pocket device, the series regulator and the direct-current-direct-current converter (it is henceforth called a DC-DC converter) are used. If it sees from conversion efficiency, since the loss decided by the product of the difference electrical potential difference of the load current and supply voltage, and output voltage occurs, the DC-DC converter of a series regulator is advantageous to low-battery-izing. However, a DC-DC converter has the problem of the fluctuation ***** ripple voltage of the output voltage resulting from the principle of operation. The principle of operation and the ripple voltage of a DC-DC converter are explained here using drawing 2.

[0004] The example of a configuration of a pressure-lowering chopper form DC-DC converter fundamental to drawing 2 is shown. the sign 1 of drawing 2 -- DC power supply and 2 -- for a direct current reactor and 5, as for a load and 7, a smoothing capacitor and 6 are [P channel power metal-oxide semiconductor field effect transistor and 3 / ring current diode and 4 / an output feedback circuit and 9] switching control circuits.

[0005] Next, actuation of the power unit of drawing 2 is explained. The output voltage feedback circuit 7 inputs the electrical potential difference of a smoothing capacitor 5, and amplifies an error with the output voltage reference value set up beforehand. And the output of the force electrical-potential-difference feedback circuit 7 is inputted into the switching control circuit 9, and it changes into a pulse train in the switching control circuit 9, and ON/OFF of the P channel power metal-oxide semiconductor field effect transistor 2 is carried out, and PWM (Pulse-Density-Modulation approach) control is carried out. Since a direct current reactor 4 repeats by this the are recording and emission of energy which were excited by the current, the voltage variation accompanying this appears in an output as the so-called ripple voltage. If supply voltage becomes low, the control criteria of a ripple voltage will become still severer for operational stability of a device. The approach of enlarging a smoothing capacitor 5 and the approach of shortening the ON/OFF period of the ***** P channel power metal-oxide semiconductor field effect transistor 2 are learned by means to stop this ripple voltage. Moreover, two or more regulator circuits are connected to juxtaposition, the switching phase of each regulator circuit is shifted and controlled, and the approach of controlling a ripple voltage is indicated by JP,8-242577,A by compounding the output.

[0006] Moreover, CPU equipped with the function to attain optimization of power new type is put in practical use, for example, it is the Nikkei electronics. It is indicated by the March 13, 2000 issue "embarkation of Crusoe." The function to attain optimization of power here is a means to control supply voltage and clock frequency according to the loaded condition of CPU. When you need a high throughput, in order to raise clock frequency, supply voltage is raised, when not so required, clock frequency is set up low and supply voltage is lowered. Power consumption is stopped by performing this control finely (it being hundreds of times in 1

second). Therefore, as for the power unit for future pocket devices, it is called for also corresponding to the above CPUs that supply voltage is adjustable.

[0007]

[Problem(s) to be Solved by the Invention] By the approach of using the above-mentioned smoothing capacitor 5 as large capacity, since mass capacitors are generally comparatively expensive large-sized components, there is a trouble of becoming the hindrance of the miniaturization of equipment and low-cost-izing. Moreover, it is short in the ON/OFF period of the above and the P channel power metal-oxide semiconductor field effect transistor 2, namely, it is necessary to raise a switching frequency further by the approach of raising a switching frequency, and there is a problem of the change rate of the switching element itself by it.

[0008] By the approach of making juxtaposition two or more above-mentioned regulator circuits, in order to realize further ripple voltage reduction, it is necessary to increase the number of juxtaposition of the regulator circuit constituted for a power transistor, a drive circuit, a series reactor, a smoothing capacitor, and reflux diode. However, if the number of juxtaposition is increased, the components mark of the whole power unit will increase. That is, the juxtaposition approach of two or more regulator circuit will also serve as a failure of the miniaturization of equipment, and low-cost-izing, if the number of juxtaposition increases.

[0009] However, when using a mass smoothing capacitor, there is a problem in corresponding to the above CPUs. When a mass smoothing capacitor is generally used, it is the point of requiring time amount for changing output voltage. In order to change an electrical potential difference promptly, it is necessary to pass many currents, and to charge or discharge. In order to lower especially an electrical potential difference, the charge accumulated in the capacitor must be discharged. However, since it cannot discharge easily at the time of a light load, output voltage does not fall. Moreover, if the internal impedance of a capacitor is high even if it can pass many charge and discharge currents, the loss produced there will become large.

[0010] The purpose of this invention is to realize the power unit using a mass smoothing capacitor like an electric double layer capacitor with low internal impedance which is a low ripple voltage, and does not depend on a load but can respond to adjustable control of output voltage promptly.

[0011]

[Means for Solving the Problem] The DC-DC converter of this invention has the main circuit of the non-insulating pressure-lowering form DC-DC converter which consists of at least two semiconductor devices, direct current reactors, and smoothing capacitors. And a means compares the reference voltage and output voltage which were generated with a means to generate the reference voltage which can carry out adjustable [of the set point of reference voltage], and a means to generate said reference voltage, and output error information, a means generate the signal impressed to the control terminal of said semiconductor device based on said error information, and a means identify the direction of the current which flows to said direct current reactor are provided.

[0012] The DC-DC converter of this invention changes the reference voltage level of a means to generate the above-mentioned reference voltage, according to adjustable control of supply voltage. According to the error information on a means to output the error information on this reference voltage and output voltage, the signal impressed to the control terminal of a semiconductor device is generated, and desired output voltage is obtained. When lowering an output voltage value furthermore, it brings close to a programmed-voltage value quickly by making the path which discharges the charge which the direction of the current which flows to a direct current reactor was identified, and the signal impressed to the control terminal of a semiconductor device was changed, and was accumulated in said smoothing capacitor.

[0013] The circuit of a DC-DC converter may be used for the path which discharges the stored charge of a smoothing capacitor with the DC-DC converter of this invention, and it may add the circuit for discharge independently. Moreover, stored charge is effectively utilizable if it supplies and revives to the dc-battery which can charge the discharging above-mentioned stored charge.

[0014]

[Embodiment of the Invention] Hereafter, the example of this invention is explained in detail using a drawing.

[0015] (Example 1) The example 1 of this invention is shown in drawing 1. Drawing 1 is drawing showing the fundamental configuration of this invention, and operates as a pressure-lowering chopper mold synchronous detection type DC-DC converter. In drawing 1 a sign 1 a direct current reactor and 5 for DC power supply and 4 A smoothing capacitor, 6 an output voltage feedback circuit, and 8a and 8b for a load and 7 N channel power

metal-oxide semiconductor field effect transistor, The direction discrimination decision circuit of a current which identifies the sense of the current on which 9 flows a switching control circuit and 10 flows a direct current reactor 4, 15a and 15b -- a drive circuit and 16 -- for an error arithmetic circuit and 73, as for a triangular wave generating means and 92, error amplifier and 91 are [an inverter circuit and 71 / reference voltage and 72 / a comparator and 93] limiters. Smoothing capacitors 5 are large capacity like an electric double layer capacitor, and a capacitor of low internal impedance here. Generally, an electric double layer capacitor can realize the large capacity of farad order, rapid charge and discharge are possible and long lasting, and low impedance-ization is attained like the indication to JP,6-122511,A and JP,11-154630,A of internal impedance. Moreover, generally a load 6 is an integrated circuit, for example, is CPU with the above-mentioned power optimization function.

[0016] In drawing 1, the positive electrode of DC power supply 1 is connected to the drain of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a, and the source of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a is connected to one terminal of a direct current reactor 4, and the drain of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b. Another terminal of a direct current reactor 4 is connected to the positive electrode of a smoothing capacitor 5. The negative electrode of DC power supply 1 is connected to the negative electrode of a smoothing capacitor 5, the source of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b, and it. A load 6 is connected to the both ends of a smoothing capacitor 5.

[0017] The positive electrode of a smoothing capacitor 5 is inputted into the error arithmetic circuit 72 in the interior of the output voltage feedback circuit 7. Reference voltage 71 is also inputted into the error arithmetic circuit 72. Reference voltage 71 serves as a circuit in which an electrical-potential-difference setup is possible from the load 6, and output voltage serves as adjustable by changing the set point. The circuit actuation at this time is mentioned later. The output of the error arithmetic circuit 72 is inputted into the error amplifier 73, and the output of the error amplifier 73 is connected to the limiter 93 in the interior of the switching control circuit 9 as an output of the output voltage feedback circuit 7. The output of a limiter 93 is connected to one input of a comparator 92, and the output of the triangular wave generating means 91 is also connected to another input of a comparator 92. The output of a comparator 92 is connected to drive circuit 15a and an inverter circuit 16 as an output of the switching control circuit 9. The output of an inverter circuit 16 is connected to drive circuit 15b. The output of drive circuit 15a is connected to the gate of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a, and the output of drive circuit 15b is connected to the gate of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b, respectively. Moreover, the output of the direction discrimination decision circuit 10 of a current which identifies the sense of the current of a direct current reactor 4 is connected to the switching control circuit 9.

[0018] First, the set point V_{ref} with reference voltage 71 Actuation by the steady state set up is explained. Drawing 3 is the signal waveform diagram showing circuit actuation of drawing 1 in a steady state. The case where the switching control circuit 9 performs PWM control is explained. Output voltage V_{out} which is an electrical potential difference of the both ends of a smoothing capacitor 5 in drawing 1 It is inputted into the output voltage feedback circuit 7, and a difference with reference voltage 71 is outputted from the error arithmetic circuit 72. This error voltage is amplified with the error amplifier 73, and the amplified error voltage is outputted from the output voltage feedback circuit 7. This amplified error voltage is inputted into the limiter 93 in the interior of the switching control circuit 9. A limiter 93 specifies a ratio at the time of a ratio and min at the time of the max of PWM. The amplified error voltage is inputted into a comparator 92 through a limiter 93.

[0019] The output of a limiter 93 is measured with the output of the triangular wave generating means 91, serves as a pulse train from a comparator 92, and is outputted. It is inputted into drive circuit 15a, the electrical-potential-difference pulse V_{Ga} between the gate sources shown in drawing 3 is outputted, and the pulse train outputted from the comparator 92 is impressed between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a. The peak value of this pulse train is fully larger than the threshold voltage of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a, and, thereby, switching operation of the N channel power-metal-oxide-semiconductor-field-effect-transistor 8a is carried out. Moreover, it is inputted into coincidence in an inverter circuit 16, the signal which reversed the pulse train of a comparator 92 is inputted into drive circuit 15b, the electrical-potential-difference pulse V_{Gb} between the gate sources as shown in drawing 3 is outputted, and the output of a comparator 92 is impressed between the gate sources of N

channel power-metal-oxide-semiconductor-field-effect-transistor 8b.

[0020] When the electrical potential difference between the gate sources is impressed to N channel power-metal-oxide-semiconductor-field-effect-transistor 8a, N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns on, and, on the other hand, N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns off. At this time, a direct current reactor 4 and a smoothing capacitor 5 are connected with DC power supply 1 at a serial, and it is Current I_L to a direct current reactor 4. It flows. N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns on, and the flowing current I_L increases a direct current reactor 4 by inclination dI_L/dt shown in a degree type in the condition that N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turned off.

[0021]

$$dI_L/dt = (V_{in} - V_{out})/L \quad -- (1)$$

Here, L shows the inductive reactance of a direct current reactor 4. Current I_L The sense makes forward the direction which flows toward the edge which connects a direct current reactor 4 with a load 6 in drawing 1. Current I_L which flows a direct current reactor 4 A smoothing capacitor 5 is charged. At this time, the electrical potential difference V_{DS} between terminals of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b becomes almost equal to input voltage V_{in} .

[0022] Although N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns off when the electrical potential difference between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a is set to 0, in coincidence, N channel power-metal-oxide-semiconductor-field-effect-transistor 8b carries out complementary actuation, and turns on. Current I_L which was flowing to the direct current reactor 4 Synchronous detection which flows in the direction of a drain from the source of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b is performed. Current I_L which flows a direct current reactor 4 at this time It is expressed with a degree type.

[0023]

$$dI_L/dt = -(V_{out})/L \quad -- (2)$$

Namely, current I_L which flows a direct current reactor 4 It decreases with the inclination shown in (2) types. At this time, the electrical potential difference V_{DS} of the drain of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns into a negative electrical potential difference on which only the product of a conduction current, a part for ON state voltage, i.e., the on resistance, of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b, fell from 0V. As this result, the wave shown in drawing 3 occurs on the electrical potential difference V_{DS} between terminals of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b. A direct current reactor 4 and a smoothing capacitor 5 carry out smooth [of the voltage waveform V_{DS} of this N channel power-metal-oxide-semiconductor-field-effect-transistor 8b]. This control system is output voltage V_{out} . It is kept constant and is the output current I_{out} . It operates so that it may secure. The steady state explained above is fundamental actuation of a pressure-lowering chopper mold synchronous detection type DC-DC converter.

[0024] Next, the circuit actuation when changing output voltage is explained. In this example, in order to change output voltage, a setting signal is sent to the output voltage feedback circuit 7 from a load 6. As the setting approach, it is the set point V_{ref} of reference voltage 71. The approach of being able to be made to carry out adjustable, performing said output-value setup to the error arithmetic circuit 72, considering the set point, and calculating an error may be used. The set point V_{ref} of the following and reference voltage 71 The case where adjustable is carried out is explained. Moreover, although an output-value setup was performed from the load 6 connected to a power source in drawing 1, even if it sets up from another circuit which does not carry out direct continuation to a power source, CPU, IC for control of electric power, etc., it is satisfactory at all.

[0025] In order to raise output voltage, it is the set point V_{ref} of reference voltage 71. It raises from the current value. Drawing 4 is the set point V_{ref} of reference voltage 71. Time amount t_1 It is the signal waveform diagram showing the circuit actuation at the time of raising. Time amount t_1 which changed reference voltage 71 Error voltage produces the rest in the output voltage feedback circuit 7. This error voltage is amplified and it outputs from the output voltage feedback circuit 7. This amplified error voltage is inputted into the switching control circuit 9, and as mentioned above, it becomes a pulse train and it is outputted. Fluctuation of error voltage is reflected in the pulse width of the pulse outputted by minding a comparator 92. It is inputted into drive circuit 15a, the electrical-potential-difference pulse V_{Ga} between the gate sources as shown in drawing 4

is outputted, and the pulse train by which the output was carried out [above-mentioned] is impressed between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a. In order that drawing 4 may raise output voltage, pulse width shows the extended state.

[0026] Moreover, the output of a comparator 92 is inputted into coincidence in an inverter circuit 16, and the signal which reversed the pulse train of a comparator 92 is inputted into drive circuit 15b. The electrical-potential-difference pulse VGb between the gate sources as shown in drawing 4 R> 4 from drive circuit 15b is outputted, and it is impressed between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b. Since the electrical-potential-difference pulse VGb is the signal which the electrical-potential-difference pulse VGa reversed, compared with the steady state, pulse width is narrow.

[0027] When the electrical potential difference between the gate sources is impressed to N channel power-metal-oxide-semiconductor-field-effect-transistor 8a, N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns on, and, on the other hand, N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns off. At this time, a direct current reactor 4 and a smoothing capacitor 5 are connected with DC power supply 1 at a serial, and it is Current IL to a direct current reactor 4. It flows and a smoothing capacitor 5 is charged.

[0028] Although N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns off when the electrical potential difference between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a is set to 0, in coincidence, N channel power-metal-oxide-semiconductor-field-effect-transistor 8b carries out complementary actuation, and turns on. Current IL which was flowing to the direct current reactor 4 Synchronous detection which flows in the direction of a drain from the source of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b is performed. The electrical potential difference VDS of the drain of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns into a negative electrical potential difference on which only the product of a conduction current, a part for ON state voltage, i.e., the on resistance, of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b, fell from 0V. As this result, a wave as shown in drawing 4 occurs on the electrical potential difference VDS between terminals of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b. A direct current reactor 4 and a smoothing capacitor 5 carry out smooth [of the voltage waveform VDS of this N channel power-metal-oxide-semiconductor-field-effect-transistor 8b].

[0029] Since the pulse width of the electrical-potential-difference pulse VGa between the gate sources has spread at this time, the time amount which N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns on becomes long. Therefore, the charge of a smoothing capacitor 5 increases. Since the time amount which N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns on conversely on the other hand becomes short, the voltage waveform VDS of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns into a wave as shown in drawing 4 . It is the output which carried out smooth [of the voltage waveform VDS of this N channel power-metal-oxide-semiconductor-field-effect-transistor 8b] with the direct current reactor 4 and the smoothing capacitor 5, and an output Vout will be improved in this case. For this control cycle, output voltage Vout is the set point Vref. It is repeated until it becomes (inside of drawing 4 , and time amount t2). After that, it will be in the above-mentioned steady state, and is output voltage Vout. It is kept constant and is the output current Iout. It will operate so that it may secure.

[0030] Next, the case where output voltage is lowered is explained. In order to lower output voltage, the set point Vref of reference voltage 71 is lowered. Drawing 5 is the set point Vref of reference voltage 71. It is the signal waveform diagram showing the circuit actuation at the time of lowering by time amount t3. Error voltage arises in the time amount t3 which lowered reference voltage 71. This error voltage is amplified with the error amplifier 73, and it outputs from the output voltage feedback circuit 7. This amplified error voltage is inputted into the switching control circuit 9, and as explanation was given [aforementioned], it becomes a pulse train from a comparator 92, and it is outputted. The magnitude of the above-mentioned error voltage is reflected in the pulse width of the pulse outputted. It is inputted into drive circuit 15a, the electrical-potential-difference pulse VGa between the gate sources as shown in drawing 5 is outputted, and this pulse train is impressed between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a. the case where output voltage is lowered -- the pulse width of the electrical-potential-difference pulse VGa between the gate sources -- ***** -- **

[0031] Moreover, the output of a comparator 92 is inputted into coincidence in an inverter circuit 16, and the

signal which reversed the pulse train of a comparator 92 is inputted into drive circuit 15b. The electrical-potential-difference pulse VGb between the gate sources as shown in drawing 5 R> 5 from drive circuit 15b is outputted, and it is impressed between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b. Since the electrical-potential-difference pulse VGb is the signal which the electrical-potential-difference pulse VGa reversed, pulse width has spread compared with the steady state.

[0032] When the electrical potential difference between the gate sources is impressed to N channel power-metal-oxide-semiconductor-field-effect-transistor 8a, N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns on, and, on the other hand, N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns off. At this time, a direct current reactor 4 and a smoothing capacitor 5 are connected with DC power supply 1 at a serial, and it is Current IL to a direct current reactor 4. It flows and a smoothing capacitor 5 is charged.

[0033] Although N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns off when the electrical potential difference VGa between the gate sources is set to 0, in coincidence, N channel power-metal-oxide-semiconductor-field-effect-transistor 8b carries out complementary actuation, and turns on. Current IL which was flowing to the direct current reactor 4 Synchronous detection which flows in the direction of a drain from the source of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b is performed. The electrical potential difference VDS of the drain of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns into a negative electrical potential difference on which only the product of a conduction current, a part for ON state voltage, i.e., the on resistance, of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b, fell from 0V. As this result, a wave as shown in drawing 5 occurs on the electrical potential difference VDS between terminals of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b. The direct current reactor 4 and the smoothing capacitor 5 are carrying out smooth [of the voltage waveform VDS of this N channel power-metal-oxide-semiconductor-field-effect-transistor 8b].

[0034] Since the pulse width of the electrical-potential-difference pulse VGa between the gate sources is narrow at this time, the time amount which N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns on becomes short. Therefore, the charge of a smoothing capacitor 5 decreases. Since the time amount which N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns on conversely on the other hand becomes long, the voltage waveform VDS of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns into a wave as shown in drawing 5 . In the case of the condition which it is the output which graduated the voltage waveform VDS of this N channel power-metal-oxide-semiconductor-field-effect-transistor 8b with the direct current reactor 4 and the smoothing capacitor 5, and shows in drawing 5 , it is an output Vout. It will fall. This control cycle is output voltage Vout. Set point Vref It is repeated until it becomes (inside of drawing 5 , and time amount t4). After that, it will be in the above-mentioned steady state, and is output voltage Vout. It is kept constant and is the output current Iout. It operates so that it may secure.

[0035] As stated above, it is the set point Vref of reference voltage 71. By considering as the circuitry to change, an output voltage adjustable power unit is realizable. However, if capacity of a smoothing capacitor 5 is enlarged for ripple voltage reduction, the following problems will arise. That is, it is that modification of the terminal voltage (= output voltage Vout) takes time amount, so that a smoothing capacitor 5 becomes large capacity. For stabilization of a power source, although it becomes an advantage, in setting up supply voltage finely like CPU with the function to attain optimization of the power mentioned above new type (it is hundreds of times in 1 second), it becomes disadvantageous.

[0036] When lowering especially an electrical potential difference, the excessive charge accumulated in the smoothing capacitor 5 must be discharged. If a load 6 is heavy loading, it is the output current Iout. Since it is large, the stored charge of a smoothing capacitor 5 can be consumed as the output current, and it can lower to an early predetermined electrical-potential-difference value. The case where loads 6 are a light load and no-load becomes a problem. Especially CPU for pocket devices and a circuit also have a thing equipped with the so-called standby mode which is in the inclination which makes a load light in order to hold down power consumption, and supplies power only to a necessary minimum circuit. such a case -- the output current Iout in order to hardly flow -- the stored charge of a smoothing capacitor 5 -- very much -- it cannot discharge -- output voltage Vout The set point Vref up to -- the time amount (t4-t3 in drawing 5) taken to lower becomes long.

[0037] On the other hand, when raising output voltage, a smoothing capacitor 5 must be charged. Therefore, if a mass capacitor is used, the time amount (t2-t1 in drawing 4) which charge takes so much will become long.

However, this is the current I_L passed to a direct current reactor 4. You may say that it is decided by magnitude, i.e., the capacity to pass the current of DC power supply 1.

[0038] Also when the mass smoothing capacitor 5 is used by this example in consideration of the above point, circuit control for changing output voltage into a predetermined electrical-potential-difference value promptly is performed. When changing output voltage, the control approach of a power source is suitably changed to the 4 modes shown below. The 4 modes are transient mode, charge drawing mode, return mode, and rectification mode, and sequential explanation is given below. In addition, the above-mentioned steady state, i.e., circuit actuation of a pressure-lowering chopper mold synchronous detection type DC-DC converter, is in rectification mode. In addition, the setting signal from the above-mentioned load 6 is inputted also into the switching control circuit 9, and switching control changes in the above-mentioned mode suitably according to a setup.

[0039] First, the case where an electrical potential difference is lowered is explained. In circuit control of this example, it does not depend on a load, but charge discharge can be carried out and output voltage can be lowered promptly. This structure is explained. Drawing 6 is the set point V_{ref} of reference voltage 71. Time amount t_5 It is the signal waveform diagram showing the circuit actuation at the time of lowering. In addition, the load 6 at this time presupposes that it is a light load for example, by the above-mentioned standby-mode setup.

[0040] Time amount t_5 which lowered reference voltage 71 It sets and a power circuit is changed to transient mode. Since reference voltage 71 was lowered, error voltage arises in the output voltage feedback circuit 7. This error voltage is amplified with the error amplifier 73, and it outputs from the output voltage feedback circuit 7. This amplified error voltage is inputted into the limiter 93 in the interior of the switching control circuit 9. Although a limiter 93 specifies a ratio at the time of a ratio and min at the time of the max of PWM, it turns off this convention in transient mode. Therefore, the amplified error voltage will be inputted into a comparator 92 as it is.

[0041] The above-mentioned error voltage is compared with the output of the triangular wave generating means 91, serves as a pulse train from a comparator 92, and is outputted. The magnitude of the above-mentioned error voltage is reflected in the pulse width of the pulse outputted. It is inputted into drive circuit 15a, the electrical-potential-difference pulse V_{Ga} between the gate sources as shown in drawing 6 is outputted, and the above-mentioned pulse train is impressed between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a. Moreover, the output of a comparator 92 is inputted into coincidence in an inverter circuit 16, and the signal which reversed the pulse train of a comparator 92 is inputted into drive circuit 15b. The electrical-potential-difference pulse V_{Gb} between the gate sources as shown in drawing 5 from drive circuit 15b is outputted, and it is impressed between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b.

[0042] As mentioned above, for raising output voltage, pulse width of the electrical-potential-difference pulse V_{Ga} is made large (the pulse width of the electrical-potential-difference pulse V_{Gb} narrows), and pulse width of the electrical-potential-difference pulse V_{Ga} is *****ed) to lower output voltage (the pulse width of the electrical-potential-difference pulse V_{Gb} becomes large). In this example, since the limiter 93 is turned off, the pulse width limit of the electrical-potential-difference pulses V_{Ga} and V_{Gb} has been lost. At the time of a light load, since stored charge of a smoothing capacitor 5 cannot be discharged, output voltage does not fall easily. As a result, in order to lower output voltage, the time amount by which the electrical-potential-difference pulse V_{Gb} is impressed between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b becomes long.

[0043] As shown in the above (1) and (2) types, it is ON / current I_L which therefore flows a direct current reactor 4 off of the N channel power metal-oxide semiconductor field effect transistor 8a and 8b. It is fluctuating. Current I_L which flows a direct current reactor 4 when N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns on It decreases with the inclination shown in (2) types. if N channel power-metal-oxide-semiconductor-field-effect-transistor 8b continues turning on like drawing 6 -- gradually -- current I_L decreasing -- 0 (time amount t_6 in drawing 6) -- becoming -- just -- being alike -- it begins to flow to hard flow. Current I_L which flows to hard flow It is discharge of the stored charge of a smoothing capacitor 5. Therefore, it follows on discharge of stored charge and is the electrical potential difference V_{out} of the both ends of a smoothing capacitor 5, i.e., output voltage. It falls. The monitor of the sense to which this current I_L flows is carried out by the direction discrimination decision circuit 10 of a

current. In addition, the direction discrimination decision circuit 10 of a current will not ask an approach, if the sense of the flowing current understands a direct current reactor 4.

[0044] By the way, current IL which flows the above-mentioned direct current reactor 4. Since it is lost, in order to prevent it, by this example, using the current which flows this direct current reactor 4 to hard flow, flowing to hard flow does not depend on the magnitude of a load 6, but it discharges the stored charge of a smoothing capacitor 5 promptly. In addition, when switching control is being performed so that the sense of a current may be detected and it may not flow backwards as indicated by JP,11-235022,A, for example, it cannot be overemphasized that this control is canceled to coincidence.

[0045] Current IL which flows to hard flow in this example. Although used for stored charge discharge of a smoothing capacitor 5, since it is grounded through N channel power-metal-oxide-semiconductor-field-effect-transistor 8b, at this rate, the charge which discharged as mentioned above will become mere loss. So, regeneration of the stored charge which discharges further is aimed at in this example. The direction discrimination decision circuit 10 of a current detects flowing into hard flow (inside of drawing 6 t6), and the current IL of a direct current reactor 4 is output voltage Vout. When reference voltage 71 is not reached, a power circuit changes to charge drawing mode.

[0046] In charge drawing mode, it is the current IL of a direct current reactor 4. The N channel power metal-oxide semiconductor field effect transistor 8a and 8b is turned on/off controlled, holding the condition of flowing to hard flow. At this time, DC power supply operate by drawing 1 as a smoothing capacitor 5 and a pressure-up chopper mold DC-DC converter which N channel power-metal-oxide-semiconductor-field-effect-transistor 8b and a rectifying device can consider that are N channel power-metal-oxide-semiconductor-field-effect-transistor 8a, and a load can consider [a switching element] are DC power supply 1. Therefore, if stored charge is stored in a direct current reactor 4 as excitation energy and N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns it on while N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns on, excitation energy will be emitted to DC power supply 1 through N channel power-metal-oxide-semiconductor-field-effect-transistor 8a. Here, if it is the dc-battery which can charge DC power supply 1, the above-mentioned stored charge can be revived to DC power supply 1.

[0047] While not depending on a load 6 but discharging the stored charge of a smoothing capacitor 5 by the above-mentioned circuit control, it is reusable to charge of a dc-battery. It is output voltage Vout by discharging stored charge. It falls and reference voltage 71 is reached (drawing 6 time amount t7). If output voltage falls to reference voltage 71, a power circuit will change to return mode.

[0048] In return mode, it is the current IL of a direct current reactor 4. Turning on N channel power-metal-oxide-semiconductor-field-effect-transistor 8a is continued until it flows into the forward direction (N channel power-metal-oxide-semiconductor-field-effect-transistor 8b is off). In the direction discrimination decision circuit 10 of a current, it is the current IL of a direct current reactor 4. If it detects flowing to the forward direction (time amount t8 in drawing 6 R> 6), a power circuit will be returned to actuation in rectification mode, i.e., a pressure-lowering chopper mold DC-DC converter. A power circuit is output voltage Vout henceforth. The set point Vref of reference voltage 71 It operates so that it may maintain.

[0049] Moreover, also in the power cutoff which makes a load a idle state completely (namely, output voltage 0), fundamental actuation and circuit control is the same. If it finishes discharging the stored charge of a smoothing capacitor 5 and output voltage is set to 0, it will operate so that the condition may be held.

[0050] Although explanation of the above-mentioned example 1 described the example reused to charge of DC power supply 1 which can charge discharge of stored charge, this invention is not restricted to this. That is, if the charge which discharged can be stored, it is reusable satisfactory at all.

[0051] (Example 2) This example is shown in drawing 9 . In drawing 9 , the same sign is added about the same circuit as drawing 1 , and the component. In drawing 9 , a sign 12 is a capacitor and is connected to the two poles of said DC power supply 1. Other circuitry is the same as an example 1.

[0052] In drawing 9 , even if it is not the dc-battery which can charge DC power supply 1 by forming a capacitor 12, the time of the stored charge which discharged from the smoothing capacitor 5 is reusable. Since the circuit control at this time is not different from the above-mentioned example 1 at all, explanation is omitted. In the example 2, since the charge which discharged can be accumulated in a capacitor 12, it cannot be necessary to charge DC power supply 1. The charge accumulated in the capacitor 12 will discharge, when raising stationary mode and output voltage, it will flow a direct current reactor 4 again, and will be stored in a

smoothing capacitor 5. In addition, although the capacitor 12 was used in this example, if it is the means which can accumulate not only this but a charge, this invention is applicable satisfactory.

[0053] (Example 3) In the above-mentioned example 1, when an electrical potential difference was lowered, the four modes were used, but as long as it does not reuse stored charge, the above-mentioned charge drawing mode may not be used. This example is the case where charge drawing mode of an example 1 is not used, and shows the circuit actuation in that case to drawing 7. If reference voltage 71 is lowered (time amount t_9 in drawing 7), a power circuit will be changed to transient mode. In transient mode, as mentioned above, a convention of a limiter 93 is turned off, and a pulse width limit of the output pulse train of the switching control circuit 9 is removed. The control is also canceled if the control which furthermore prevents the back flow of a direct-current-reactor current is made.

[0054] As mentioned above, the pulse width of the electrical-potential-difference pulse VGa is extended to raise output voltage (the pulse width of the electrical-potential-difference pulse VGb narrows), and pulse width of the electrical-potential-difference pulse VGa is *****ed) to lower output voltage (the pulse width of the electrical-potential-difference pulse VGb becomes large). At this example, since the limiter 93 is turned off, there is no pulse width limit of the electrical-potential-difference pulses VGa and VGb. Since stored charge of a smoothing capacitor 5 cannot be discharged and output voltage does not fall easily at the time of a light load, in order to lower output voltage, the time amount by which the electrical-potential-difference pulse VGb is impressed between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8b becomes long.

[0055] As shown in the above (1) and (2) types, it is ON / current IL which therefore flows a direct current reactor 4 off of the N channel power metal-oxide semiconductor field effect transistor 8a and 8b. It fluctuates. Current IL which flows a direct current reactor 4 when N channel power-metal-oxide-semiconductor-field-effect-transistor 8b turns on It decreases with the inclination shown in (2) types. if N channel power-metal-oxide-semiconductor-field-effect-transistor 8b continues turning on like drawing 7 -- gradually -- current IL decreasing -- 0 (time amount t_{10} in drawing 7) -- becoming -- just -- being alike -- it begins to flow to hard flow. At this time, the current which flows to hard flow is discharge of the stored charge of a smoothing capacitor 5. Therefore, it follows on discharge of stored charge and is the electrical potential difference Vout of the both ends of a smoothing capacitor 5, i.e., output voltage. It falls. Here, transient mode is held even if the direction where a current flows changes. Stored charge flows into GND through N channel power-metal-oxide-semiconductor-field-effect-transistor 8b, and this is lost.

[0056] If output voltage falls to reference voltage 71 with discharge of stored charge (time amount t_{11} in drawing 7), control will be changed to return mode. In return mode, it is the current IL of a direct current reactor 4. Turning on N channel power-metal-oxide-semiconductor-field-effect-transistor 8a is continued until it flows into the forward direction. In the direction discrimination decision circuit 10 of a current, it is the current IL of a direct current reactor 4. If it detects flowing to the forward direction (time amount t_{12} in drawing 7), a power circuit will be returned to actuation in rectification mode, i.e., a pressure-lowering chopper mold DC-DC converter, and it is output voltage Vout. The set point Vref of reference voltage 71 It is made to operate so that it may maintain. Since it does not depend on a load but the stored charge of a smoothing capacitor 5 can be discharged also by this approach, output voltage can be promptly brought to the set point. Moreover, also in the power cutoff which makes a load a idle state completely (namely, output voltage 0), fundamental actuation and circuit control is the same. If it finishes discharging the stored charge of a smoothing capacitor 5 and output voltage is set to 0, it will operate so that the condition may be held. However, by this circuit control approach, the stored charge which discharged is lost.

[0057] In the above-mentioned explanation, although transient mode turned off the convention of a limiter 93, this invention is not restricted to this. Even freely made [the limiter 93 / effective], the above-mentioned circuit actuation is realizable. However, since there is a period which passes and accumulates a current in a direct current reactor 4 from DC power supply 1 in that case periodically, unless the current accumulated in the direct current reactor 4 is lost to whenever [the], said back flow current does not flow. Therefore, time amount until it completes output voltage compared with the case where a convention of a limiter 93 is turned off that it is hard to discharge stored charge becomes long.

[0058] Next, the case where an electrical potential difference is raised is explained. The time amount taken to raise output voltage is decided by time amount which charge of a smoothing capacitor 5 takes as stated

previously. This is the current I_L passed to a direct current reactor 4. It is decided by magnitude, i.e., the capacity to pass the current of DC power supply 1. Therefore, if it is made DC power supply 1 with drive capacity, time amount (inside of drawing 4 t_2-t_1) taken to raise an electrical potential difference will be made short.

[0059] Furthermore, it is output voltage V_{out} more promptly. It can also raise to reference voltage 71. The circuit actuation at this time is shown in drawing 8. When raising output voltage, as described above, a smoothing capacitor 5 must be charged. In the circuit of drawing 1, it is that a smoothing capacitor 5 can be charged, only while N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns on. Then, also when reference voltage 71 is raised (time amount t_{13} in drawing 8), a power circuit is first set as transient mode. In transient mode, a convention of the limiter 93 which is in the interior of the switching control circuit 9 as described above is turned off. Therefore, a pulse width limit of the pulse train outputted from the switching control circuit 9 is removed. Therefore, in order to raise output voltage, the time amount which impresses the electrical-potential-difference pulse V_{Ga} between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a becomes long. That is, a smoothing capacitor 5 will continue being charged and it can raise to reference voltage earlier than the control shown in drawing 4. If reference voltage is reached (time amount t_{14} in drawing 8), control of a power circuit will be made into rectification mode, and it will return to actuation of the usual pressure-lowering chopper mold DC-DC converter, and will maintain at the set point V_{ref} of reference voltage 71.

[0060] In the above-mentioned explanation, although transient mode turned off the convention of a limiter 93, this invention is not restricted to this. Even freely made [the limiter 93 / effective], the above-mentioned circuit actuation is realizable. However, there is a period which emits the current accumulated in the direct current reactor 4 in that case periodically, and the period is not charged by the smoothing capacitor 5 from DC power supply 1. Therefore, compared with the case where a convention of a limiter 93 is turned off, charge of a smoothing capacitor 5 takes time amount, and time amount until it completes output voltage as a result becomes long.

[0061] In the example described above, by the switching control of the N channel power metal-oxide semiconductor field effect transistor 8a and 8b of drawing 1, discharge of a smoothing capacitor 5 and charge are performed and output voltage is changed.

[0062] (Example 4) The part equivalent to N channel power-metal-oxide-semiconductor-field-effect-transistor 8b of drawing 1 is constituted from the pressure-lowering chopper mold DC-DC converter shown in drawing 2 as a conventional technique by the reflux diode 3, and switching control is impossible. In this circuitry, when [at which the energy excited by the direct current reactor 4 is emitted] making it flow back at the time, a current flows to the reflux diode 3. However, since the reverse current of a direct current reactor 4 cannot be passed, the way things stand, stored charge of a smoothing capacitor 5 cannot be discharged. In this case, what is necessary is just to add the circuit for discharging the stored charge of a smoothing capacitor 5. Hereafter, circuit actuation of this example which added the discharge circuit, and circuit control are explained.

[0063] This example is shown in drawing 10. Drawing 10 serves as circuitry which added the discharge circuit 11 for discharging the stored charge of a smoothing capacitor 5 to the pressure-lowering chopper mold DC-DC converter of the type shown in drawing 2. The same notation is given to the block of drawing 1, the same circuit as drawing 2, and a function in drawing 10. In addition, for 111, diode and 112 are [N channel power metal-oxide semiconductor field effect transistor and 15c of a direct current reactor and 8c] drive circuits as an example of 1 configuration of the discharge circuit where 11 discharges the stored charge of a smoothing capacitor 5, and the discharge circuit 11. A smoothing capacitor 5 is a capacitor with low internal impedance in the large capacity represented by the electric double layer capacitor here.

[0064] In drawing 10, the positive electrode of DC power supply 1 is connected to the drain of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a, and the source of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a is connected to one terminal of a direct current reactor 4, and the cathode of the reflux diode 3. Another terminal of a direct current reactor 4 is connected to the positive electrode of a smoothing capacitor 5. The negative electrode of DC power supply 1 is connected to the negative electrode of a smoothing capacitor 5, the anode of the reflux diode 3, and it. A load 6 is connected to the both ends of a smoothing capacitor 5.

[0065] The positive electrode of a smoothing capacitor 5, i.e., an output, is inputted into the output voltage

feedback circuit 7. In the output voltage feedback circuit 7, output voltage is compared with the reference voltage in the output voltage feedback circuit 7, and an error signal is outputted. This error signal is inputted into the switching control circuit 9, for example, is changed and outputted to an PWM control signal. The output of the switching control circuit 9 is connected to drive circuit 15a. The output of drive circuit 15a is connected to the gate of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a.

[0066] The positive electrode of a smoothing capacitor 5 is inputted into the direct current reactor 112 in the discharge circuit 11 again. The opposite end linked to the smoothing capacitor 5 of a direct current reactor 112 is connected to the anode of diode 111, and the drain of N channel power-metal-oxide-semiconductor-field-effect-transistor 8c. The source of N channel power-metal-oxide-semiconductor-field-effect-transistor 8c is connected with the negative electrode of a smoothing capacitor 5. The control signal from the switching control circuit 9 is inputted into drive circuit 15c, the electrical-potential-difference pulse VGc between the gate sources is outputted, and it is impressed between the gate sources of N channel power-metal-oxide-semiconductor-field-effect-transistor 8c. The cathode of diode 111 is connected to DC power supply 1 as an output of the discharge circuit 11.

[0067] As mentioned above, the circuitry of drawing 10 is what added the discharge circuit 11 to the pressure-lowering chopper mold DC-DC converter, the discharge circuit 11 is not operated at the time of a stationary, it is moved as a usual pressure-lowering chopper mold DC-DC converter, and it is output voltage Vout. It maintains at constant value. In addition, when not operating the discharge circuit 11, N channel power-metal-oxide-semiconductor-field-effect-transistor 8c is turned off. Since actuation of the pressure-lowering chopper mold DC-DC converter part at this time is the same as the conventional technique shown by drawing 2, explanation is omitted.

[0068] Next, the case where output voltage is raised is explained. As mentioned above, for raising output voltage, a smoothing capacitor 5 must be charged. In the circuit of drawing 10, it is that a smoothing capacitor 5 can be charged, only while N channel power-metal-oxide-semiconductor-field-effect-transistor 8a turns on. Therefore, also in this case, the discharge circuit 11 is not operated and performs the same circuit control as the example shown by drawing 1. Since control of N channel power-metal-oxide-semiconductor-field-effect-transistor 8a at this time is the same as the circuit control mentioned above, explanation is omitted here.

[0069] Next, the case where output voltage is lowered is explained. In drawing 10, since there is reflux diode 3, a reverse current cannot be passed to a direct current reactor 4 like an example 1. When a load 6 is a light load, stored charge cannot be discharged, and the way things stand, output voltage cannot be lowered easily. Then, stored charge is discharged using the discharge circuit 11. Hereafter, circuit actuation is explained. When lowering an electrical potential difference, N channel power-metal-oxide-semiconductor-field-effect-transistor 8a is turned OFF, and N channel power-metal-oxide-semiconductor-field-effect-transistor 8c of the discharge circuit 11 is turned on. the energy currently excited by the direct current reactor 4 at this time is emitted to the direct current reactor 112 of the discharge circuit 11 -- having -- just -- being alike -- the stored charge of a smoothing capacitor 5 begins to discharge. Even if a load 6 is a light load by this, the stored charge of a smoothing capacitor 5 can be discharged and output voltage can be lowered. However, if it continues turning on N channel power-metal-oxide-semiconductor-field-effect-transistor 8c as it is, the charge which discharged will be grounded through N channel power-metal-oxide-semiconductor-field-effect-transistor 8c, and will be lost. Then, stored charge with which this example also discharges is reused. By ON / off control of MOSFET8c, the discharge circuit 11 is operated as a pressure-up chopper mold DC-DC converter. At this time, by this example shown in drawing 10, N channel power-metal-oxide-semiconductor-field-effect-transistor 8c and a rectifying device can regard it as diode 111, and a load can regard [DC power supply / a smoothing capacitor 5 and a switching element] it as DC power supply 1. Therefore, if stored charge is stored in a direct current reactor 112 as excitation energy and N channel power-metal-oxide-semiconductor-field-effect-transistor 8c turns it off while N channel power-metal-oxide-semiconductor-field-effect-transistor 8c turns on, excitation energy will be emitted to DC power supply 1 through diode 111. Here, if it is the dc-battery which can charge DC power supply 1, the above-mentioned stored charge can be revived to DC power supply 1.

[0070] The charge which did not depend on a load 6, but discharged the stored charge of a smoothing capacitor 5, and discharged further by circuit control of the above-mentioned discharge circuit 11 is revived to DC power supply 1. Stored charge is discharged and it is output voltage Vout. If it falls and the set point is reached, N channel power-metal-oxide-semiconductor-field-effect-transistor 8c will be turned off, and actuation of the

discharge circuit 11 will be returned to actuation of a stop and a pressure-lowering chopper mold DC-DC converter. A power circuit is output voltage V_{out} henceforth. It operates so that it may maintain at the set point. [0071] (Example 5) This example allotted the charge storage means, for example, a capacitor, to the two poles of DC power supply 1 of an example 4, as shown in drawing 11. In drawing 11, with the dc-battery which can charge DC power supply 1, also when there is nothing, stored charge discharge of a smoothing capacitor 5 can be revived to a capacitor 12 by connecting a capacitor 12 to the two poles of DC power supply 1. Circuitry other than this and circuit actuation are the same as that of an example 3.

[0072] As each above example described, according to the circuitry of this invention, and the circuit control approach, it does not depend on a load, but discharge of the stored charge of a smoothing capacitor 5 is attained, and it becomes possible to change output voltage promptly to the set point. Moreover, according to the circuit control approach of this circuit, the discharging stored charge can be revived to charge of a dc-battery etc.

[0073]

[Effect of the Invention] According to this invention, the power unit which is a low ripple voltage, and does not depend on a load but can change output voltage promptly is realizable using a mass smoothing capacitor. Moreover, according to circuit control of this invention, the stored charge of a smoothing capacitor can be revived and efficient-ization can be attained. Moreover, compared with the juxtaposition approach of two or more regulators, there are few components mark of a power unit and they are effective also in the miniaturization of equipment.

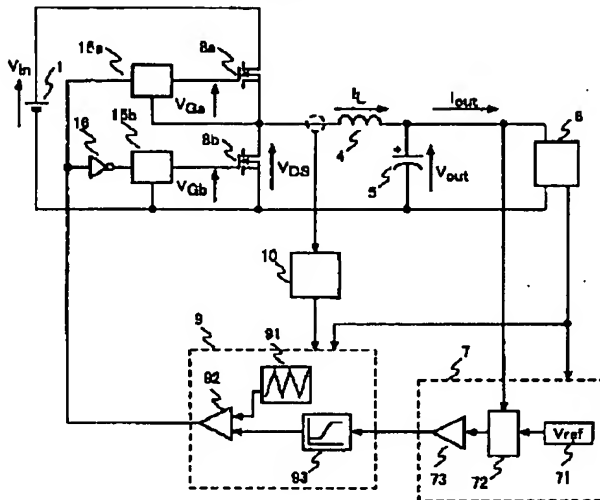
[Translation done.]

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

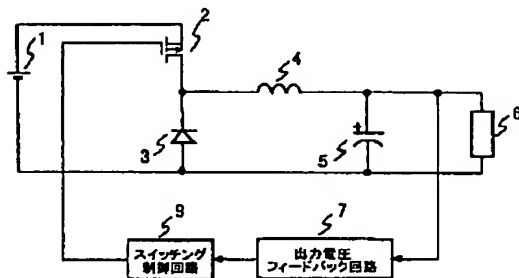
[Drawing 1]

圖 1



[Drawing 2]

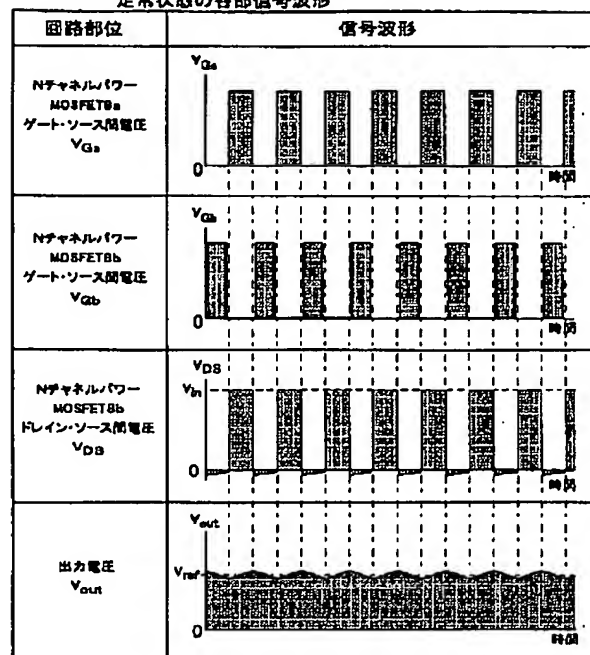
图 2



[Drawing 3]

図 3

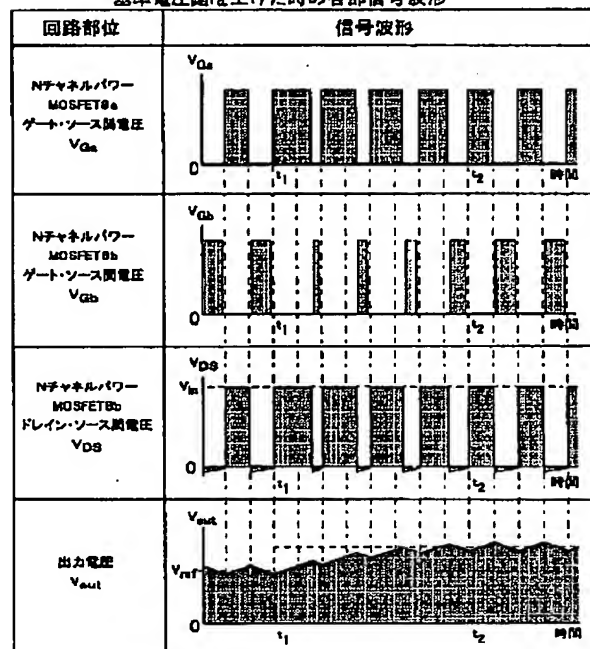
定常状態の各部信号波形



[Drawing 4]

図 4

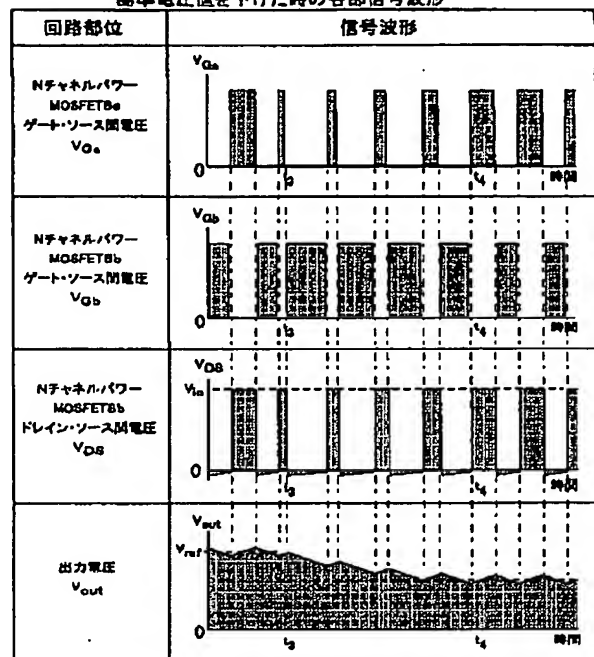
基準電圧周を上げた時の各部信号波形



[Drawing 5]

図 5

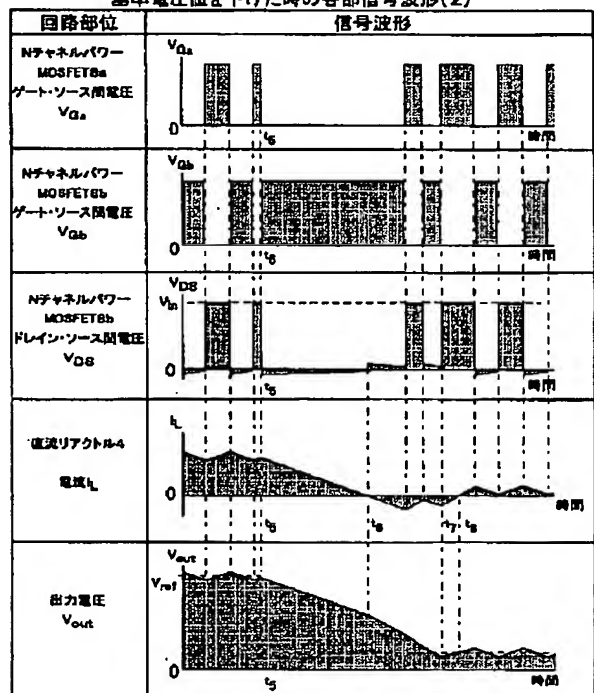
基準電圧値を下げた時の各部信号波形



[Drawing 6]

図 6

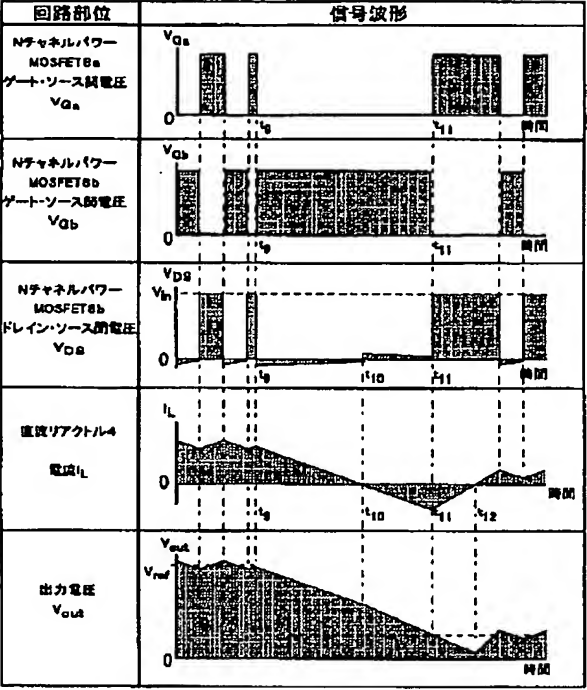
基準電圧値を下げた時の各部信号波形(2)



[Drawing 7]

図 7

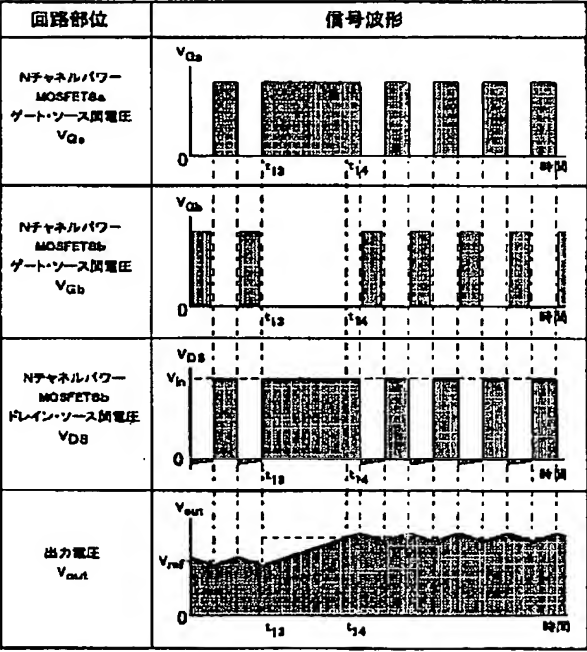
基準電圧値を下げた時の各部信号波形(3)



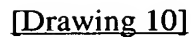
[Drawing 8]

図 8

基準電圧値を上げた時の各部信号波形



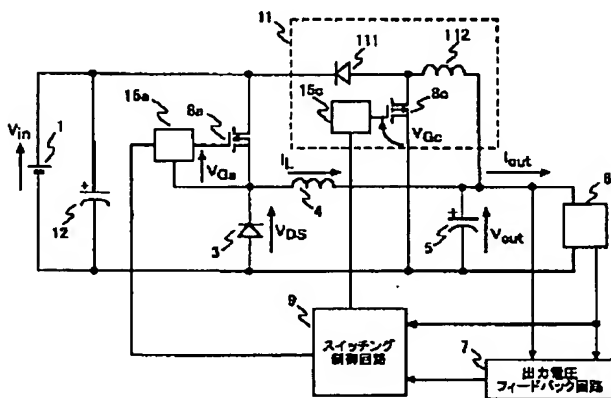
[Drawing 9]



10



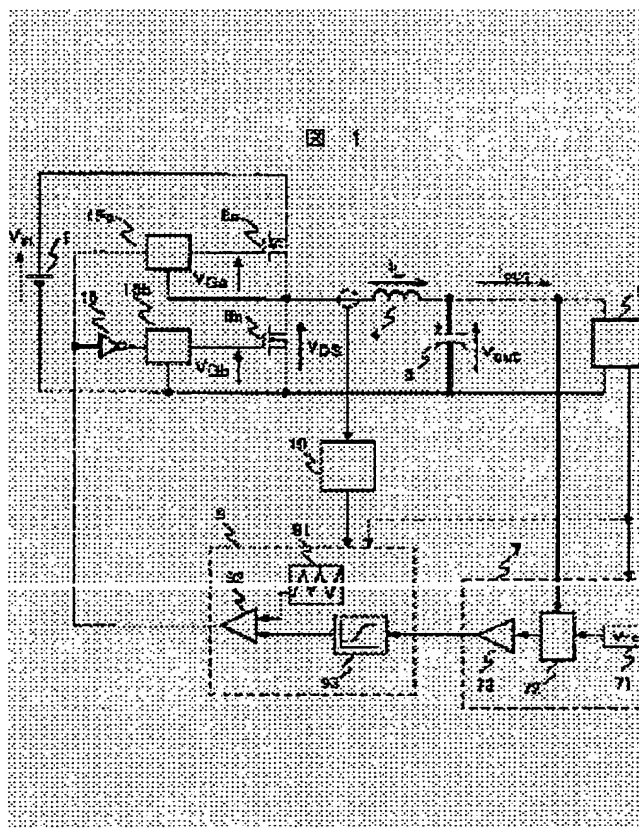
11



http://www4.ipdl.ncipi.go.jp/cgi-bin/tran_web_cgi_ejje

DC-DC CONVERTER AND CONTROL METHOD THEREFOR**Patent number:** JP2002369505**Publication date:** 2002-12-20**Inventor:** KANOUDA TAMAHIKO; ONDA KENICHI; TOKUNAGA KIICHI; SAGA RYOHEI; HOSOKAWA KYOICHI**Applicant:** HITACHI LTD**Classification:****- international:** H02M3/155**- european:** H02M3/158; H02M3/158S**Application number:** JP20010171913 20010607**Priority number(s):** JP20010171913 20010607**Also published as:** US2002185994 (A)**Abstract of JP2002369505**

PROBLEM TO BE SOLVED: To obtain a low-ripple voltage DC-DC converter, that is constituted to quickly change its output voltage, regardless of the load by providing a bidirectional power converting means between input power and a smoothing capacitor. **SOLUTION:** This non-insulated step-down DC-DC converter is provided with a main circuit, constituted of at least two semiconductor elements, a DC reactor, and the smoothing capacitor. This converter is also provided with a means which generates a reference voltage of different set values, a means which outputs error information by comparing the reference voltage generated by means of the reference voltage generating means with the output voltage of the converter, and a means which generates signals impressed upon the control terminals of the semiconductor elements, based on the error information. In addition, this converter is also provided with a means which identifies the direction of the current flowing to the DC reactor.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-369505
(P2002-369505A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl.
H 0 2 M 3/155

識別記号

F I
H 0 2 M 3/155

サーチコード(参考)
H 5 H 7 3 0

審査請求 未請求 請求項の数28 O L (全 15 頁)

(21) 出願番号 特願2001-171913(P2001-171913)

(22) 出願日 平成13年 6 月 7 日 (2001. 6. 7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 叶田 玲彦

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72) 発明者 恩田 謙一

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

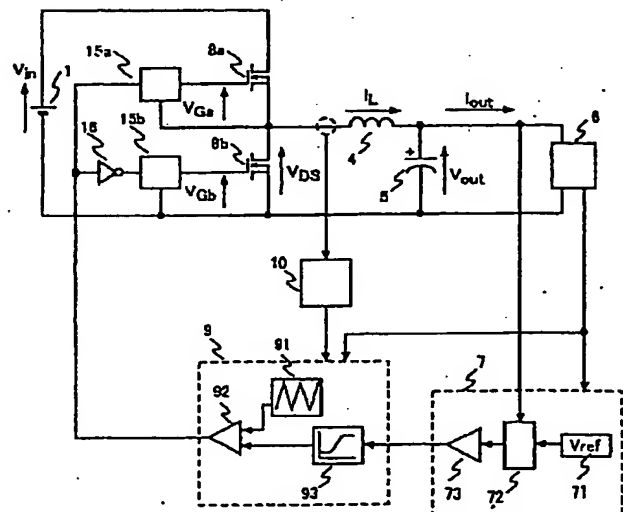
(54) 【発明の名称】 DC-DCコンバータおよびDC-DCコンバータの制御方法

(57) 【要約】

【課題】 入力電源と平滑コンデンサ間で双方向の電力変換手段を設けて、負荷に依らず速やかに出力電圧を変更可能な低リップル電圧のDC-DCコンバータを実現する。

【解決手段】 少なくとも2個の半導体素子と、直流リアクトルと、平滑コンデンサとから構成される非絶縁降圧形DC-DCコンバータの主回路を備え、基準電圧の設定値を可変できる基準電圧を発生する手段と、前記基準電圧を発生する手段で発生させた基準電圧と出力電圧を比較して誤差情報を出力する手段と、前記誤差情報に基づき前記半導体素子の制御端子に印加する信号を発生する手段と、前記直流リアクトルに流れる電流の方向を識別する手段とを具備する。

図 1



1

【特許請求の範囲】

【請求項 1】 直流電源からの入力を平滑して、設定された出力電圧を負荷に供給する DC-DC コンバータにおいて、

直流電源と、出力を平滑するための第 1 の電荷蓄積手段と、前記直流電源と前記第 1 の電荷蓄積手段との間で双方向の電力変換を行う電力変換手段と、を備えることを特徴とする DC-DC コンバータ。

【請求項 2】 請求項 1 に記載の DC-DC コンバータにおいて、

前記電力変換手段は、前記直流電源と前記第 1 の電荷蓄積手段とを直列に接続する第 1 のリアクトルと、前記第 1 のリアクトルと直流電源の一端との間に設けた第 1 のスイッチング素子と、

前記第 1 のリアクトルと前記第 1 のスイッチング素子との間に一端が接続された第 2 のスイッチング素子と、を具備し、

前記第 1 と第 2 のスイッチング素子の制御によって生じる前記第 1 のリアクトルの励磁エネルギーを利用して前記電力変換を行い、

定常状態では前記直流電源から前記第 1 の電荷蓄積手段方向へ電力を送り、出力電圧を設定値まで上げる期間には前記直流電源から前記第 1 の電荷蓄積手段方向へ電力を送り、出力電圧を別の設定値まで下げる期間には前記第 1 の電荷蓄積手段から前記直流電源方向へ電力を送ることを特徴とする DC-DC コンバータ。

【請求項 3】 請求項 2 に記載の DC-DC コンバータにおいて、

前記直流電源は充電可能な電源であって、前記出力電圧を下げる期間には、前記電力変換手段によって前記第 1 の電荷蓄積手段から直流電源に送る電力を、前記直流電源に回生することを特徴とする DC-DC コンバータ。

【請求項 4】 請求項 2 に記載の DC-DC コンバータにおいて、

前記直流電源と並列に接続される第 2 の電荷蓄積手段を有し、前記出力電圧を下げる期間には、前記電力変換手段によって前記第 1 の電荷蓄積手段から直流電源に送られる電力を、前記第 2 の電荷蓄積手段に回生することを特徴とする DC-DC コンバータ。

【請求項 5】 直流電源からの入力を平滑して、設定された出力電圧値を集積回路に供給する DC-DC コンバータにおいて、

直流電源と、出力を平滑するための第 1 の電荷蓄積手段と、前記第 1 の電荷蓄積手段の蓄積電荷を放電する放電回路とを備え、

設定値まで出力電圧を下げる期間に前記放電回路は動作し、前記第 1 の電荷蓄積手段の蓄積電荷を放電することを特徴とする DC-DC コンバータ。

【請求項 6】 請求項 5 に記載の DC-DC コンバータにおいて、

2

前記放電回路は、前記直流電源と前記第 1 の電荷蓄積手段とを直列に接続する第 2 のリアクトルと、該第 2 のリアクトルと直流電源の一端との間に配置した第 3 のスイッチング素子とを具備し、

設定値まで出力電圧を下げる期間に、前記第 3 のスイッチング素子の制御によって生じる前記第 2 のリアクトルの励磁エネルギーを利用して、前記第 1 の電荷蓄積手段の蓄積電荷を放電することを特徴とする DC-DC コンバータ。

10 【請求項 7】 請求項 5 に記載の DC-DC コンバータにおいて、

前記直流電源は充電可能な電源であって、設定値まで出力電圧を下げる過渡期に、前記第 3 のスイッチング素子の制御によって生じる前記第 2 のリアクトルの励磁エネルギーを利用して、前記第 1 の電荷蓄積手段の蓄積電荷を前記直流電源に回生することを特徴とする DC-DC コンバータ。

【請求項 8】 請求項 5 に記載の DC-DC コンバータにおいて、

20 前記直流電源と並列に接続される第 2 の電荷蓄積手段を有し、設定値まで出力電圧を下げる過渡期に、前記第 3 のスイッチング素子の制御によって生じる前記第 2 のリアクトルの励磁エネルギーを利用して、前記第 1 の電荷蓄積手段の蓄積電荷を前記第 2 の電荷蓄積手段に回生することを特徴とする DC-DC コンバータ。

【請求項 9】 前記出力電圧値の設定は、外部からの指令に基づいてなされることを特徴とする請求項 1 または請求項 5 の何れかに記載の DC-DC コンバータ。

30 【請求項 10】 前記出力電圧値の設定は、前記集積回路からの指令に基づいてなされることを特徴とする請求項 1 または請求項 5 の何れかに記載の DC-DC コンバータ。

【請求項 11】 前記集積回路は、CPU (Central Processing Unit) であることを特徴とする請求項 1 または請求項 5 の何れかに記載の DC-DC コンバータ。

【請求項 12】 前記出力電圧を下げる設定に、集積回路に供給する電力を遮断する場合を含むことを特徴とする請求項 1 または請求項 5 の何れかに記載の DC-DC コンバータ。

40 【請求項 13】 前記第 1 の電荷蓄積手段が、電気二重層コンデンサであることを特徴とする請求項 1 または請求項 5 の何れかに記載の DC-DC コンバータ。

【請求項 14】 直流電源からの入力を平滑して、設定された出力電圧を集積回路に供給する DC-DC コンバータの制御方法において、

前記 DC-DC コンバータが前記直流電源の入力と集積回路との間に設けられた第 1 のリアクトルと、前記第 1 のリアクトルと集積回路の間に集積回路と並列に接続された第 1 の電荷蓄積手段とを備えていて、

50 前記集積回路に設定された電圧を供給する定常時は、前

3

記第1のリアクトルの直流電源側から集積回路側への順方向電流を流し、

出力電圧を別の設定値に上げる過渡期には、前記第1のリアクトルの直流電源側から集積回路側への順方向電流を流して前記第1の電荷蓄積手段を充電して出力電圧を上げ、

出力電圧をさらに別の設定値に下げる過渡期には、前記第1のリアクトルの集積回路側から直流電源側への逆方向電流を流して前記第1の電荷蓄積手段の蓄積電荷を放電し、出力電圧を下げることを特徴とするDC-DCコンバータの制御方法。

【請求項15】請求項14に記載のDC-DCコンバータの制御方法において、

前記DC-DCコンバータが前記第1のリアクトルと直流電源の一端の間に設けられた第1のスイッチング素子と、前記リアクトルと前記第1のスイッチング素子との間に一端が接続された第2のスイッチング素子とを備えていて、

前記直流電源からの入力を平滑して、設定された電圧を集積回路に供給する場合は、

前記第1のスイッチング素子を導通した時に、前記第2のスイッチング素子を遮断し、前記直流電源から前記第1のリアクトルに電流を流して励磁エネルギーを蓄えるときとともに前記第1の電荷蓄積手段に電荷を充電する第1のステップと、

前記第1のスイッチング素子を遮断した時に、前記第2のスイッチング素子が導通して前記第1のリアクトルの電流を前記第2のスイッチング素子に還流させて前記励磁エネルギーを放出する第2のステップとを、順次繰り返して集積回路に供給し、

出力電圧を設定値まで下げる場合には、前記第2のステップにおいて前記励磁エネルギーを放出し終えても前記第2のスイッチング素子を導通状態に保持し、前記第1のリアクトルの集積回路側から直流電源側へ逆方向電流を流して前記第1の電荷蓄積手段の蓄積電荷を前記導通した第2のスイッチング素子の内部抵抗で消費し、出力電圧を下げることを特徴とするDC-DCコンバータの制御方法。

【請求項16】直流電源からの入力を平滑して、設定された出力電圧を集積回路に供給するDC-DCコンバータの制御方法において、

前記DC-DCコンバータが、前記直流電源の入力と集積回路との間に設けられた第1のリアクトルと、前記第1のリアクトルと集積回路の間に集積回路と並列に接続された第1の電荷蓄積手段とを具備し、

前記直流電源が充電可能な電源であって、前記集積回路に設定された電圧を供給する時は、前記第1のリアクトルの直流電源側から集積回路側への順方向電流を流し、出力電圧を別の設定値に上げる場合には、前記第1のリアクトルの直流電源側から集積回路側への順方向電流を

4

流し、前記第1の電荷蓄積手段を充電して出力電圧を上げ、

出力電圧をさらに別の設定値に下げる場合には、前記第1のリアクトルの集積回路側から直流電源側への逆方向電流を流して前記第1の電荷蓄積手段の蓄積電荷を放電させて前記第1の電荷蓄積手段の蓄積電荷を前記直流電源に回生し、出力電圧を下げることを特徴とするDC-DCコンバータの制御方法。

【請求項17】請求項16に記載のDC-DCコンバータの制御方法において、

前記DC-DCコンバータが前記第1のリアクトルと直流電源の一端の間に設けられた第1のスイッチング素子と、前記第1のリアクトルと前記第1のスイッチング素子との間に一端が接続された第2のスイッチング素子とを備えていて、

前記直流電源からの入力を平滑して、設定された電圧を集積回路に供給する時は、

前記第1のスイッチング素子を導通した時には、前記第2のスイッチング素子を遮断し、前記直流電源から前記第1のリアクトルに電流を流して励磁エネルギーを蓄えるときとともに前記第1の電荷蓄積手段に電荷を充電する第1のステップと、

前記第1のスイッチング素子を遮断した時には、前記第2のスイッチング素子が導通して前記第1のリアクトルの電流を前記第2のスイッチング素子に還流させて前記励磁エネルギーを放出する第2のステップとを、順次繰り返して前記直流電源からの入力を集積回路に供給し、

出力電圧を別の設定値に下げる期間には、前記第2のステップで前記励磁エネルギーを放出し終えても前記第2のスイッチング素子を導通状態に保持し、

前記第1のリアクトルの集積回路側から直流電源側へ逆方向電流が流れ始めたら、

前記第2のスイッチング素子が導通した時には前記第1のスイッチング素子を遮断し、前記第1のリアクトルの集積回路側から直流電源側に逆方向電流を流して、前記第1の電荷蓄積手段の蓄積電荷を励磁エネルギーに変換する第3のステップと、

前記第2のスイッチング素子を遮断した時は前記第1のスイッチング素子が導通して、前記第1のリアクトルの前記励磁エネルギーを放出する第4のステップとを、順次繰り返して、前記第1の電荷蓄積手段の蓄積電荷を放電して前記直流電源に回生し、出力電圧を下げることを特徴とするDC-DCコンバータの制御方法。

【請求項18】請求項16に記載のDC-DCコンバータの制御方法において、

前記DC-DCコンバータが前記直流電源と並列に接続される第2の電荷蓄積手段を具備し、

前記別の設定値まで出力電圧を下げる期間には、前記第2のステップにおいて前記励磁エネルギーを放出し終え

5

ても前記第2のスイッチング素子を導通状態に保持し、前記第1のリアクトルの集積回路側から直流電源側へ逆方向電流が流れ始めたら、前記第3と第4のステップを順次繰り返して行って、前記第1の電荷蓄積手段の蓄積電荷を放電して前記第2の電荷蓄積手段に回生し、出力電圧を下げることを特徴とするDC-DCコンバータの制御方法。

【請求項19】請求項14または請求項16の何れかに記載のDC-DCコンバータの制御方法において、前記第1の電荷蓄積手段の蓄積電荷を放電して出力電圧が前記さらに別の設定値に達した後、該設定電圧を集積回路に供給する時は、前記第1のスイッチング素子を導通させ、前記第2のスイッチング素子を遮断し、前記第1のリアクトルを前記直流電源側から集積回路と接続する方向に電流が流れ始めてから、前記第1と第2のステップとを順次繰り返して行うことを特徴とするDC-DCコンバータの制御方法。

【請求項20】請求項14または請求項16の何れかに記載のDC-DCコンバータの制御方法において、出力電圧値の設定がなされ、設定値まで出力電圧を上げる過渡期には、所定の出力電圧に達するまで前記第1のステップを保持し、所定の出力電圧に達したら前記第1と第2のステップを順次繰り返して行うことを特徴とするDC-DCコンバータの制御方法。

【請求項21】直流電源からの入力を平滑して、設定された出力電圧を集積回路に供給するDC-DCコンバータの制御方法において、

前記DC-DCコンバータが、前記直流電源の入力と集積回路との間に設けられた第1のリアクトルと、前記第1のリアクトルと集積回路の間に集積回路と並列に接続された第1の電荷蓄積手段と前記第1の電荷蓄積手段の蓄積電荷の放電回路とを備えていて、

前記集積回路に設定された電圧を供給する時は、前記第1のリアクトルの直流電源側から集積回路側への順方向電流を流し、

別の設定値まで出力電圧を上げる期間は、前記第1のリアクトルの直流電源側から集積回路側への順方向電流を流し、前記第1の電荷蓄積手段を充電して出力電圧を上げ、

さらに別の設定値まで出力電圧を下げる期間は前記放電回路を動作させて前記第1の電荷蓄積手段の蓄積電荷を放電し、所定の出力電圧になったら前記放電回路の動作を止めることを特徴とするDC-DCコンバータの制御方法。

【請求項22】請求項21に記載のDC-DCコンバータの制御方法において、

前記直流電源は充電可能な電源であって、前記DC-DCコンバータの放電回路は、少なくとも前記直流電源と集積回路とを直列に接続する第2のリアクトルと、前記第2のリアクトルと前記直流電源の一端の間に設けられ

6

た第3のスイッチング素子とを具備し、

前記別の設定値まで出力電圧を下げる期間は、前記第3のスイッチング素子を導通し、前記第2のリアクトルの集積回路側から直流電源側に電流を流して、前記第1の電荷蓄積手段の蓄積電荷を励磁エネルギーに変換する第5のステップと、

前記第3のスイッチング素子を遮断して、前記第2のリアクトルの前記励磁エネルギーを放出する第6のステップとを、

順次繰り返して行って前記第1の電荷蓄積手段の蓄積電荷を放電し、前記直流電源に回生することを特徴とするDC-DCコンバータの制御方法。

【請求項23】請求項21に記載のDC-DCコンバータの制御方法において、前記DC-DCコンバータは前記直流電源と並列に接続する第2の電荷蓄積手段を有し、前記別の設定値まで出力電圧を下げる期間は、前記第5と第6のステップを順次繰り返して行って、前記第1の電荷蓄積手段の蓄積電荷を放電し、前記第2の電荷蓄積手段に回生することを特徴とするDC-DCコンバータの制御方法。

【請求項24】請求項14、請求項16、請求項21の何れかに記載のDC-DCコンバータの制御方法において、前記出力電圧の設定は、外部からの指令に基づいてなされることを特徴とするDC-DCコンバータの制御方法。

【請求項25】請求項14、請求項16、請求項21の何れかに記載のDC-DCコンバータの制御方法において、前記出力電圧の設定は、前記集積回路からの指令に基づいてなされることを特徴とするDC-DCコンバータの制御方法。

【請求項26】請求項14、請求項16、請求項21の何れかに記載のDC-DCコンバータの制御方法において、前記集積回路は、CPUであることを特徴とするDC-DCコンバータの制御方法。

【請求項27】請求項14、請求項16、請求項21の何れかに記載のDC-DCコンバータの制御方法において、前記出力電圧を下げる設定とは、集積回路に供給する電力を遮断する場合を含むことを特徴とするDC-DCコンバータの制御方法。

【請求項28】請求項14、請求項16、請求項21の何れかに記載のDC-DCコンバータの制御方法において、前記第1の電荷蓄積手段は、電気二重層コンデンサであることを特徴とするDC-DCコンバータの制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は直流電源の入力を、設定された直流出力電圧にして集積回路に供給するDC-DCコンバータに関する。

【0002】

7

【従来の技術】近年、バッテリーをエネルギー源とする携帯電話やモバイル関連機器の高性能化に伴い、搭載されるCPU(Central Processing Unit: 中央演算処理装置)にも処理能力が高いものが要求されている。一方でバッテリー駆動時間は、さらなる長時間化が求められている。特に消費電力低減のため、電源電圧は低下する傾向にあり、携帯機器の電源装置には変換効率の高いものが必要となる。

【0003】携帯機器の電源装置としては、一般にシリズレギュレータや直流-直流変換装置(以後DC-DCコンバータと呼ぶ)が使われている。変換効率から見ると、シリズレギュレータは負荷電流および電源電圧と出力電圧の差電圧の積で決まる損失が発生するため、DC-DCコンバータが低電圧化に対して有利である。しかし、DC-DCコンバータは、その動作原理に起因する出力電圧の変動いわゆるリップル電圧の問題がある。ここで図2を用いて、DC-DCコンバータの動作原理およびリップル電圧を説明する。

【0004】図2に基本的な降圧チョップ形DC-DCコンバータの構成例を示す。図2の符号1は直流電源、2はPチャネルパワーMOSFET、3は環流ダイオード、4は直流リアクトル、5は平滑コンデンサ、6は負荷、7は出力フィードバック回路、9はスイッチング制御回路である。

【0005】次に、図2の電源装置の動作を説明する。出力電圧フィードバック回路7は、平滑コンデンサ5の電圧を入力し、あらかじめ設定されている出力電圧基準値との誤差を増幅する。そして、力電圧フィードバック回路7の出力をスイッチング制御回路9に入力し、スイッチング制御回路9でパルス列に変換し、PチャネルパワーMOSFET2をON/OFFしてPWM(パルス幅変調方法)制御する。これにより、直流リアクトル4が電流によって励磁されたエネルギーの蓄積と放出とを繰り返すので、これに伴う電圧変動がいわゆるリップル電圧として出力に現れる。電源電圧が低くなると、機器の安定動作のために、リップル電圧の抑制基準がますます厳しくなる。このリップル電圧を抑える手段としては、平滑コンデンサ5を大きくする方法、や上記PチャネルパワーMOSFET2のON/OFF周期を短くする方法が知られている。また、複数のレギュレータ回路を並列に接続し、個々のレギュレータ回路のスイッチング位相をずらして制御し、その出力を合成することによりリップル電圧を抑制する方法が、特開平8-242577号公報に開示されている。

【0006】また、電力の最適化を図る機能を備えた新タイプのCPUが実用化されていて、例えば、日経エレクトロニクス 2000年3月13日号“Crusoeの船出”に記載されている。ここで電力の最適化を図る機能とは、CPUの負荷状態に応じて電源電圧および動作周波数を制御する手段である。高い処理能力を必要とする

8

場合は動作周波数を上げるために電源電圧を上げ、それほど必要でない場合は動作周波数を低く設定し電源電圧を下げる。この制御を細かく行うこと(1秒間に数百回)によって消費電力を抑えている。従って、これからの携帯機器用の電源装置は、上記のようなCPUにも対応して電源電圧が可変であることが求められる。

【0007】

【発明が解決しようとする課題】上記平滑コンデンサ5を大容量にする方法では、一般に大容量のコンデンサが比較的高価な大型部品であるため、装置の小型化、低コスト化の妨げになるという問題点がある。また、上記、PチャネルパワーMOSFET2のON/OFF周期を短く、すなわちスイッチング周波数を上げる方法では、スイッチング周波数をさらに上げる必要があり、スイッチング素子自体の切替速度の問題がある。

【0008】上記複数のレギュレータ回路を並列にする方法では、さらなるリップル電圧低減を実現するために、パワートランジスタ、駆動回路、直列リアクトル、平滑コンデンサ、還流ダイオードで構成されるレギュレータ回路の並列数を増やす必要がある。しかし、並列数を増やせば電源装置全体の部品点数が増加する。すなわち、複数レギュレータ回路の並列方法も、並列数が増えれば、装置の小型化、低コスト化の障害となる。

【0009】しかし、大容量の平滑コンデンサを用いる場合、上記のようなCPUに対応するには問題がある。一般に大容量の平滑コンデンサを用いた場合、出力電圧を変更するには時間を要するという点である。速やかに電圧を変更するには、電流を多く流して充電あるいは放電する必要がある。特に電圧を下げるには、コンデンサに蓄積された電荷を放電しなければならない。しかし、軽負荷の時にはなかなか放電できないため、出力電圧が下がらない。また、充放電電流を多く流すことができて、コンデンサの内部インピーダンスが高いと、そこで生じる損失が大きくなる。

【0010】本発明の目的は、低リップル電圧で、かつ負荷に依らず出力電圧の可変制御に速やかに対応できる、内部インピーダンスが低い電気二重層コンデンサのような大容量の平滑コンデンサを用いた電源装置を実現することにある。

【0011】

【課題を解決するための手段】本発明のDC-DCコンバータは少なくとも2個の半導体素子と、直流リアクトルと、平滑コンデンサとから構成される非絶縁降圧形DC-DCコンバータの主回路を有する。そして、基準電圧の設定値を可変できる基準電圧を発生する手段と、前記基準電圧を発生する手段で発生させた基準電圧と出力電圧を比較して誤差情報を出力する手段と、前記誤差情報に基づき前記半導体素子の制御端子に印加する信号を発生する手段と、前記直流リアクトルに流れる電流の方向を識別する手段とを具備する。

【0012】本発明のDC-DCコンバータは、電源電圧の可変制御に応じて、上記基準電圧を発生する手段の基準電圧値を変える。この基準電圧と出力電圧との誤差情報を出力する手段の誤差情報に従って、半導体素子の制御端子に印加する信号を発生させ、所望の出力電圧を得る。さらに出力電圧値を下げる場合は、直流リアクトルに流れる電流の方向を識別し、半導体素子の制御端子に印加する信号を変化させて前記平滑コンデンサに蓄積された電荷を放電する経路を作ることにより、設定電圧値にすばやく近づける。

【0013】本発明のDC-DCコンバータで、平滑コンデンサの蓄積電荷を放電する経路は、DC-DCコンバータの回路を利用しても良いし、別に放電用の回路を追加しても良い。また、放電する上記蓄積電荷を充電可能なバッテリーに供給して再生すれば、蓄積電荷を有効に活用できる。

【0014】

【発明の実施の形態】以下、本発明の実施例を図面を用いて詳しく説明する。

【0015】(実施例1) 本発明の実施例1を図1に示す。図1は、本発明の基本的な構成を示す図であり、降圧チョップアップ同期整流式DC-DCコンバータとして動作する。図1において、符号1は直流電源、4は直流リアクトル、5は平滑コンデンサ、6は負荷、7は出力電圧フィードバック回路、8a、8bはNチャネルパワーMOSFET、9はスイッチング制御回路、10は直流リアクトル4を流れる電流の向きを識別する電流方向識別回路、15a、15bは駆動回路、16は反転回路、71は基準電圧、72は誤差演算回路、73は誤差増幅器、91は三角波発生手段、92は比較器、93はリミッタである。ここで平滑コンデンサ5は、例えば電気二重層コンデンサのような大容量、低内部インピーダンスのコンデンサである。一般に電気二重層コンデンサは、ファラッド・オーダーの大容量を実現でき、急速充放電が可能、長寿命であって、内部インピーダンスも、特開平6-122511号公報、特開平11-154630号公報に開示のように低インピーダンス化が図られている。また、負荷6は一般に集積回路であり、例えば前述の電力最適化機能を持ったCPUである。

【0016】図1において、直流電源1の正極はNチャネルパワーMOSFET 8aのドレインに接続され、NチャネルパワーMOSFET 8aのソースは直流リアクトル4の一方の端子とNチャネルパワーMOSFET 8bのドレインとに接続される。直流リアクトル4のもう一方の端子は平滑コンデンサ5の正極に接続される。平滑コンデンサ5の負極とNチャネルパワーMOSFET 8bのソース、それに直流電源1の負極が接続される。平滑コンデンサ5の両端に負荷6が接続される。

【0017】平滑コンデンサ5の正極は出力電圧フィードバック回路7の内部にある誤差演算回路72に入力さ

れる。基準電圧71も誤差演算回路72に入力される。基準電圧71は、負荷6から電圧設定が可能な回路となっていて、設定値を変えることにより、出力電圧が可変となる。この時の回路動作は、後述する。誤差演算回路72の出力が誤差増幅器73に入力され、誤差増幅器73の出力は出力電圧フィードバック回路7の出力として、スイッチング制御回路9の内部にあるリミッタ93に接続される。リミッタ93の出力は比較器92の一方の入力に接続され、三角波発生手段91の出力も比較器92のもう一方の入力に接続される。比較器92の出力はスイッチング制御回路9の出力として、駆動回路15aおよび反転回路16に接続される。反転回路16の出力は、駆動回路15bに接続される。駆動回路15aの出力はNチャネルパワーMOSFET 8aのゲートに、駆動回路15bの出力はNチャネルパワーMOSFET 8bのゲートにそれぞれ接続される。また、直流リアクトル4の電流の向きを識別する電流方向識別回路10の出力は、スイッチング制御回路9に接続されている。

【0018】まず、基準電圧71がある設定値 V_{ref} に設定されている定常状態での動作を説明する。図3は定常状態における図1の回路動作を示す信号波形図である。スイッチング制御回路9がPWM制御を行う場合を説明する。図1において、平滑コンデンサ5の両端の電圧である出力電圧 V_{out} は、出力電圧フィードバック回路7に入力され、基準電圧71との差が誤差演算回路72から出力される。この誤差電圧を誤差増幅器73で増幅し、増幅された誤差電圧を出力電圧フィードバック回路7から出力する。この増幅された誤差電圧はスイッチング制御回路9の内部にあるリミッタ93に入力される。リミッタ93はPWMの最大時比率と最小時比率を規定する。増幅された誤差電圧は、リミッタ93を通して比較器92に入力される。

【0019】リミッタ93の出力は、三角波発生手段91の出力と比較され、比較器92からパルス列となって出力される。比較器92から出力されたパルス列は駆動回路15aに入力され、図3に示すゲート・ソース間電圧パルス V_{Ga} が出力され、NチャネルパワーMOSFET 8aのゲート・ソース間に印加される。このパルス列の波高値は、NチャネルパワーMOSFET 8aのスレッシュホールド電圧よりも充分に大きく、これによりNチャネルパワーMOSFET 8aはスイッチング動作する。また、比較器92の出力は同時に反転回路16に入力され、比較器92のパルス列を反転した信号が駆動回路15bに入力され、図3に示すような、ゲート・ソース間電圧パルス V_{Gb} が出力され、NチャネルパワーMOSFET 8bのゲート・ソース間に印加される。

【0020】NチャネルパワーMOSFET 8aにゲート・ソース間電圧が印加されたとき、NチャネルパワーMOSFET 8aがオンし、一方、NチャネルパワーMOSFET 8bはオフする。このとき、直流電源1と直

11

流リアクトル4、平滑コンデンサ5が直列に接続され、直流リアクトル4に電流 I_L が流れる。NチャネルパワーMOSFET 8aがオンし、NチャネルパワーMOSFET 8bはオフした状態において、直流リアクトル4

$$dI_L/dt = (V_{in} - V_{out})/L$$

ここで、Lは直流リアクトル4の誘導リアクタンスを示す。電流 I_L の向きは、図1において直流リアクトル4を負荷6と接続する端に向かって流れる方向を正とする。直流リアクトル4を流れる電流 I_L が平滑コンデンサ5を充電する。この時、NチャネルパワーMOSFET 8bの端子間電圧 V_{DS} はほぼ入力電圧 V_{in} と等しくなる。

【0022】NチャネルパワーMOSFET 8aのゲート

$$dI_L/dt = -(V_{out})/L$$

すなわち、直流リアクトル4を流れる電流 I_L は、

(2)式に示す傾きで減少する。この時NチャネルパワーMOSFET 8bのドレインの電圧 V_{DS} は0VからNチャネルパワーMOSFET 8bのオン電圧分、すなわちオン抵抗と通流電流の積だけ下がった負電圧になる。この結果として、NチャネルパワーMOSFET 8bの端子間電圧 V_{DS} には図3に示す波形が発生する。直流リアクトル4と平滑コンデンサ5は、このNチャネルパワーMOSFET 8bの電圧波形 V_{DS} を平滑する。この制御系は、出力電圧 V_{out} を一定に保ち、かつ出力電流 I_{out} を確保するように動作する。以上説明した定常状態は、降圧チョップ型同期整流式DC-DCコンバータの基本的動作である。

【0024】次に出力電圧を変える時の回路動作を説明する。本実施例では出力電圧を変えるため、出力電圧フィードバック回路7に負荷6から設定信号が送られる。設定方法としては、基準電圧71の設定値 V_{ref} を可変できるようにしても良いし、誤差演算回路72に前記出力値設定を行い、設定値を加味して誤差を演算する方法でもかまわない。以下、基準電圧71の設定値 V_{ref} を可変する場合を説明する。また、図1では電源に接続される負荷6から出力値設定を行ったが、電源に直接接続しない別の回路、CPU、電力管理用のIC等から設定しても何ら問題ない。

【0025】出力電圧を上げるには、基準電圧71の設定値 V_{ref} を現在の設定値より上げる。図4は、基準電圧71の設定値 V_{ref} を時間 t_1 で上げた場合の回路動作を示す信号波形図である。基準電圧71を変えた時間 t_1 後は、出力電圧フィードバック回路7で誤差電圧が生じる。この誤差電圧を増幅し、出力電圧フィードバック回路7から出力する。この増幅された誤差電圧はスイッチング制御回路9に入力され、前述したようにパルス列となって出力される。誤差電圧の変動は、比較器92を介することにより、出力されるパルスのパルス幅に反映される。上記出力されたパルス列は駆動回路15aに入力され、図4に示すようなゲート・ソース間電圧パル

12

を流れる電流 I_L は次式に示す傾き dI_L/dt で増加する。

【0021】

... (1)

ト・ソース間電圧が0になったとき、NチャネルパワーMOSFET 8aがオフするが、同時にNチャネルパワーMOSFET 8bが相補動作してオンする。直流リアクトル4に流れていた電流 I_L はNチャネルパワーMOSFET 8bのソースからドレイン方向に流れる同期整流が行われる。この時直流リアクトル4を流れる電流 I_L は次式で表される。

【0023】

... (2)

ス V_{GS} が出力され、NチャネルパワーMOSFET 8aのゲート・ソース間に印加される。図4は、出力電圧を上げるためにパルス幅が広がった状態を示している。

【0026】また、比較器92の出力は同時に反転回路16に入力され、比較器92のパルス列を反転した信号が駆動回路15bに入力される。駆動回路15bから図4に示すような、ゲート・ソース間電圧パルス V_{GS} が出力され、NチャネルパワーMOSFET 8bのゲート・ソース間に印加される。電圧パルス V_{GS} は、電圧パルス V_{GS} の反転した信号なので、定常状態に比べパルス幅は狭まっている。

【0027】NチャネルパワーMOSFET 8aにゲート・ソース間電圧が印加されたとき、NチャネルパワーMOSFET 8aがオンし、一方、NチャネルパワーMOSFET 8bはオフする。このとき、直流電源1と直流リアクトル4、平滑コンデンサ5が直列に接続され、直流リアクトル4に電流 I_L が流れ平滑コンデンサ5を充電する。

【0028】NチャネルパワーMOSFET 8aのゲート・ソース間電圧が0になったとき、NチャネルパワーMOSFET 8aがオフするが、同時にNチャネルパワーMOSFET 8bが相補動作してオンする。直流リアクトル4に流れていた電流 I_L はNチャネルパワーMOSFET 8bのソースからドレイン方向に流れる同期整流が行われる。NチャネルパワーMOSFET 8bのドレインの電圧 V_{DS} は0VからNチャネルパワーMOSFET 8bのオン電圧分、すなわちオン抵抗と通流電流の積だけ下がった負電圧になる。この結果として、NチャネルパワーMOSFET 8bの端子間電圧 V_{DS} には図4に示すような波形が発生する。直流リアクトル4と平滑コンデンサ5は、このNチャネルパワーMOSFET 8bの電圧波形 V_{DS} を平滑する。

【0029】この時、ゲート・ソース間電圧パルス V_{GS} のパルス幅が広がっているため、NチャネルパワーMOSFET 8aがオンしている時間が長くなる。従って、平滑コンデンサ5の充電量が増加する。一方、逆にNチ

13

チャネルパワーMOSFET8bがオンする時間は短くなるため、NチャネルパワーMOSFET8bの電圧波形 V_{DS} は、図4に示すような波形になる。このNチャネルパワーMOSFET8bの電圧波形 V_{DS} を、直流リアクトル4と平滑コンデンサ5で平滑したものが出力であり、この場合出力 V_{out} は上がることになる。この制御サイクルは、出力電圧 V_{out} が設定値 V_{ref} になるまで（図4中、時間 t_2 ）繰り返される。その後は前述の定常状態となり、出力電圧 V_{out} を一定に保ち、かつ出力電流 I_{out} を確保するように動作することになる。

【0030】次に、出力電圧を下げる場合を説明する。出力電圧を下げるには、基準電圧71の設定値 V_{ref} を下げる。図5は、基準電圧71の設定値 V_{ref} を時間 t_3 で下げた場合の回路動作を示す信号波形図である。基準電圧71を下げた時間 t_3 では、誤差電圧が生じる。この誤差電圧を誤差増幅器73で増幅し、出力電圧フィードバック回路7から出力する。この増幅された誤差電圧はスイッチング制御回路9に入力され、前記説明したように比較器92からパルス列となって出力される。上記誤差電圧の大きさは、出力されるパルスのパルス幅に反映される。このパルス列は駆動回路15aに入力され、図5に示すようなゲート・ソース間電圧パルス V_{Ga} が出力され、NチャネルパワーMOSFET8aのゲート・ソース間に印加される。出力電圧を下げる場合、ゲート・ソース間電圧パルス V_{Ga} のパルス幅は狭まくなる。

【0031】また、比較器92の出力は同時に反転回路16に入力され、比較器92のパルス列を反転した信号が駆動回路15bに入力される。駆動回路15bから図5に示すような、ゲート・ソース間電圧パルス V_{Gb} が出力され、NチャネルパワーMOSFET8bのゲート・ソース間に印加される。電圧パルス V_{Gb} は、電圧パルス V_{Ga} の反転した信号なので、定常状態に比べパルス幅は広がっている。

【0032】NチャネルパワーMOSFET8aにゲート・ソース間電圧が印加されたとき、NチャネルパワーMOSFET8aがオンし、一方、NチャネルパワーMOSFET8bはオフする。このとき、直流電源1と直流リアクトル4、平滑コンデンサ5が直列に接続され、直流リアクトル4に電流 I_L が流れ平滑コンデンサ5を充電する。

【0033】ゲート・ソース間電圧 V_{Ga} が0になったとき、NチャネルパワーMOSFET8aがオフするが、同時にNチャネルパワーMOSFET8bが相補動作してオンする。直流リアクトル4に流れていた電流 I_L はNチャネルパワーMOSFET8bのソースからドレイン方向に流れる同期整流が行われる。NチャネルパワーMOSFET8bのドレインの電圧 V_{DS} は0VからNチャネルパワーMOSFET8bのオン電圧分、すなわちオン抵抗と通流電流の積だけ下がった負電圧になる。この結果として、N

14

チャネルパワーMOSFET8bの端子間電圧 V_{DS} には図5に示すような波形が発生する。直流リアクトル4と平滑コンデンサ5は、このNチャネルパワーMOSFET8bの電圧波形 V_{DS} を平滑している。

【0034】この時、ゲート・ソース間電圧パルス V_{Ga} のパルス幅が狭まっているため、NチャネルパワーMOSFET8aがオンしている時間が短くなる。従って、平滑コンデンサ5の充電量は少なくなる。一方、逆にNチャネルパワーMOSFET8bがオンする時間は長くなるため、NチャネルパワーMOSFET8bの電圧波形 V_{DS} は、図5に示すような波形になる。このNチャネルパワーMOSFET8bの電圧波形 V_{DS} を、直流リアクトル4と平滑コンデンサ5で平滑化したものが出力であり、図5に示す状態の場合、出力 V_{out} は下がることになる。この制御サイクルは、出力電圧 V_{out} が設定値 V_{ref} になるまで（図5中、時間 t_4 ）繰り返される。その後は前述の定常状態となり、出力電圧 V_{out} を一定に保ち、かつ出力電流 I_{out} を確保するように動作する。

【0035】以上述べたように、基準電圧71の設定値 V_{ref} を変える回路構成とすることで、出力電圧可変の電源装置が実現できる。しかし、リップル電圧低減のために平滑コンデンサ5の容量を大きくすると、次のような問題が生じる。すなわち、平滑コンデンサ5が大容量になるほど、その端子電圧（＝出力電圧 V_{out} ）の変更には時間を要することである。電源の安定化にとっては利点となるが、前述した電力の最適化を図る機能を持った新しいタイプのCPUのように電源電圧の設定を細かく行う（1秒間に数百回）場合には、不利になる。

【0036】特に電圧を下げる場合は、平滑コンデンサ5に蓄積された余分な電荷を放電しなければならない。負荷6が重負荷であれば、出力電流 I_{out} が大きいため、平滑コンデンサ5の蓄積電荷を出力電流として消費し、早く所定の電圧値まで下げることができる。問題になるのは負荷6が軽負荷、無負荷の場合である。特に携帯機器用のCPU、回路は、電力消費を抑えるために負荷を軽くする傾向にあり、また必要最低限の回路にしか電力を供給しないような、いわゆる待機モードを備えるものもある。こうした場合、出力電流 I_{out} はほとんど流れないため、平滑コンデンサ5の蓄積電荷をなかなか放電できず、出力電圧 V_{out} を設定値 V_{ref} まで下げるのに要する時間（図5中の $t_4 - t_3$ ）が長くなる。

【0037】一方、出力電圧を上げる場合は平滑コンデンサ5を充電しなければならない。従って大容量のコンデンサを用いれば、それだけ充電に要する時間（図4中の $t_2 - t_1$ ）が長くなる。ただし、これは直流リアクトル4に流す電流 I_L の大きさ、すなわち直流電源1の電流を流す能力によって決まるという良い。

【0038】以上の点を考慮し、本実施例では大容量の平滑コンデンサ5を用いた場合にも、速やかに所定の電圧値に出力電圧を変えるための回路制御を行っている。

50

15

出力電圧を変える場合は、次に示す4モードに電源の制御方法を適宜切り替える。4モードとは、過渡モード、電荷引抜きモード、復帰モード、整流モードであり、以下順次説明する。なお、前述の定常状態、すなわち降圧チョップパ型同期整流式DC-DCコンバータの回路動作が整流モードである。なお、前述の負荷6からの設定信号はスイッチング制御回路9にも入力され、設定に応じてスイッチング制御が適宜上記モードで切り替わる。

【0039】まず、電圧を下げる場合を説明する。本実施例の回路制御では、負荷に依らず電荷放電でき、速やかに出力電圧を下げるができる。この仕組みを説明する。図6は、基準電圧71の設定値 V_{ref} を時間 t_5 で下げた場合の回路動作を示す信号波形図である。なお、この時の負荷6は例えば上記待機モード設定により、軽負荷であるとする。

【0040】基準電圧71を下げた時間 t_5 において、電源回路を過渡モードに切り替える。基準電圧71を下げたため、出力電圧フィードバック回路7において誤差電圧が生じる。この誤差電圧を誤差増幅器73で増幅し、出力電圧フィードバック回路7から出力する。この増幅された誤差電圧はスイッチング制御回路9の内部にあるリミッタ93に入力される。リミッタ93はPWMの最大時比率と最小時比率を規定するものだが、過渡モードではこの規定をオフする。従って増幅された誤差電圧は、そのまま比較器92に入力されることになる。

【0041】上記誤差電圧は、三角波発生手段91の出力と比較され、比較器92からパルス列となって出力される。上記誤差電圧の大きさは、出力されるパルスのパルス幅に反映される。上記パルス列は駆動回路15aに入力され、図6に示すようなゲート・ソース間電圧パルス V_{Ga} が出力され、NチャネルパワーMOSFET8aのゲート・ソース間に印加される。また、比較器92の出力は同時に反転回路16に入力され、比較器92のパルス列を反転した信号が駆動回路15bに入力される。駆動回路15bから図5に示すような、ゲート・ソース間電圧パルス V_{Gb} が出力され、NチャネルパワーMOSFET8bのゲート・ソース間に印加される。

【0042】前述したように出力電圧を上げるには電圧パルス V_{Ga} のパルス幅を広くし（電圧パルス V_{Gb} のパルス幅は狭まる）、出力電圧を下げるには電圧パルス V_{Ga} のパルス幅を狭くする（電圧パルス V_{Gb} のパルス幅は広くなる）。本実施例ではリミッタ93をオフしているため、電圧パルス V_{Ga} および V_{Gb} のパルス幅制限は無くなっている。軽負荷時には、平滑コンデンサ5の蓄積電荷を放電できないため出力電圧がなかなか下がらない。結果として、出力電圧を下げるためNチャネルパワーMOSFET8bのゲート・ソース間に電圧パルス V_{Gb} が印加される時間が長くなる。

【0043】前記(1)、(2)式に示すように、NチャネルパワーMOSFET8a、8bのオン/オフによ

16

って直流リアクトル4を流れる電流 I_L は増減している。NチャネルパワーMOSFET8bがオンしている時、直流リアクトル4を流れる電流 I_L は、(2)式に示した傾きで減少する。図6のようにNチャネルパワーMOSFET8bがオンし続けると、次第に電流 I_L は減少して0（図6中時間 t_6 ）になり、ついには逆方向に流れ始める。逆方向に流れる電流 I_L は、平滑コンデンサ5の蓄積電荷の放電である。従って、蓄積電荷の放電に伴い、平滑コンデンサ5の両端の電圧、すなわち出力電圧 V_{out} は下がる。この電流 I_L の流れる向きは、電流方向識別回路10によってモニタされている。なお、電流方向識別回路10は、直流リアクトル4を流れる電流の向きが分かれば方法は問わない。

【0044】ところで、上記直流リアクトル4を流れる電流 I_L が逆方向に流れるのは損失となるため、それを防止するために本実施例では、この直流リアクトル4を逆方向に流れる電流を利用して、負荷6の大きさに依らず平滑コンデンサ5の蓄積電荷を速やかに放電する。なお、例えば特開平11-235022号公報に記載されているように電流の向きを検出して逆流しないようにスイッチング制御を行っている場合は、この制御を同時に解除しておくことはいうまでもない。

【0045】本実施例では逆方向に流れる電流 I_L を平滑コンデンサ5の蓄積電荷放電に利用しているが、このままではNチャネルパワーMOSFET8bを介して接地されるため、前述したように放電した電荷は単なる損失となってしまう。そこで、本実施例ではさらに放電する蓄積電荷の回生を図る。電流方向識別回路10が直流リアクトル4の電流 I_L が逆方向に流れ出すことを検出し（図6中、 t_6 ）、かつ出力電圧 V_{out} が基準電圧71に達していない場合、電源回路は電荷引抜きモードに切り替わる。

【0046】電荷引抜きモードでは、直流リアクトル4の電流 I_L が逆方向に流れている状態を保持しながら、NチャネルパワーMOSFET8a、8bをオン/オフ制御する。この時、図1では直流電源が平滑コンデンサ5、スイッチング素子がNチャネルパワーMOSFET8b、整流素子がNチャネルパワーMOSFET8a、負荷が直流電源1とみなすことができる昇圧チョップパ型DC-DCコンバータとして動作する。従って、蓄積電荷はNチャネルパワーMOSFET8bがオンしている間に直流リアクトル4に励磁エネルギーとして貯えられ、NチャネルパワーMOSFET8aがオンすると、NチャネルパワーMOSFET8aを介して励磁エネルギーが直流電源1に放出される。ここで、直流電源1が充電可能なバッテリーであれば、上記蓄積電荷を直流電源1に回生できる。

【0047】上記回路制御により、負荷6に依らず平滑コンデンサ5の蓄積電荷を放電するとともに、バッテリーの充電に再利用できる。蓄積電荷を放電することで出力

17

電圧 V_{out} が下がり、基準電圧71に達する(図6 時間 t_7)。基準電圧71まで出力電圧が下がったら、電源回路は復帰モードに切り替わる。

【0048】復帰モードでは、直流リアクトル4の電流 I_L が順方向に流れ出すまでNチャネルパワーMOSFET 8aをオン(NチャネルパワーMOSFET 8bはオフ)し続ける。電流方向識別回路10で、直流リアクトル4の電流 I_L が順方向に流れるのを検出したら(図6中 時間 t_8)、電源回路を整流モード、すなわち降圧チョップ型DC-DCコンバータの動作に戻す。以降電源回路は、出力電圧 V_{out} を基準電圧71の設定値 V_{ref} に保つように動作する。

【0049】また、負荷を完全に停止状態にする電力遮断の場合(すなわち、出力電圧0)も基本的動作、回路制御は同じである。平滑コンデンサ5の蓄積電荷を放電し終えて出力電圧が0になったら、その状態を保持するように動作する。

【0050】上記実施例1の説明では、蓄積電荷の放電を充電可能な直流電源1の充電に再利用する例を述べたが、本発明はこれに限らない。すなわち、放電した電荷を蓄えることができれば何ら問題なく、再利用できる。

【0051】(実施例2)図9に本実施例を示す。図9において、図1と同じ回路、構成要素については、同じ符号を付加している。図9において、符号12はコンデンサで、前記直流電源1の両極に接続されている。その他の回路構成は実施例1と同じである。

【0052】図9において、コンデンサ12を設けることにより、直流電源1が充電可能なバッテリーでなくとも、平滑コンデンサ5から放電した蓄積電荷時を再利用できる。この時の回路制御は、前述の実施例1と何ら変わらないので、説明は省略する。実施例2では、放電した電荷をコンデンサ12に蓄積することができるので、直流電源1が充電可能である必要はない。コンデンサ12に蓄積した電荷は、定常モードや、出力電圧を上げる時に放電され、再び直流リアクトル4を流れて平滑コンデンサ5に蓄えられることになる。なお、本実施例ではコンデンサ12を用いたが、これに限らず電荷を蓄積できる手段であれば、本発明は問題なく適用できる。

【0053】(実施例3)上記実施例1では、電圧を下げる場合に4つのモードを使用した。蓄積電荷の再利用をしないのであれば、上記電荷引き抜きモードを使用しなくてもかまわない。本実施例は実施例1の電荷引き抜きモードを使用しない場合であって、その場合の回路動作を図7に示す。基準電圧71を下げたら(図7中 時間 t_9)、電源回路を過渡モードに切り替える。過渡モードでは、前述したようにリミッタ93の規定をオフし、スイッチング制御回路9の出力パルス列のパルス幅制限をはずす。さらに直流リアクトル電流の逆流を防止する制御がなされているのなら、その制御も解除する。

【0054】前述したように出力電圧を上げるには電圧

18

パルス V_{Ga} のパルス幅を広げ(電圧パルス V_{Gb} のパルス幅は狭まる)、出力電圧を下げるには電圧パルス V_{Ga} のパルス幅を狭くする(電圧パルス V_{Gb} のパルス幅は広くなる)。本実施例ではリミッタ93をオフしているため、電圧パルス V_{Ga} および V_{Gb} のパルス幅制限は無い。軽負荷時には、平滑コンデンサ5の蓄積電荷を放電できないため出力電圧がなかなか下がらないので、出力電圧を下げるためNチャネルパワーMOSFET 8bのゲート・ソース間に電圧パルス V_{Gb} が印加される時間が長くなる。

【0055】前記(1)、(2)式に示すように、NチャネルパワーMOSFET 8a、8bのオン/オフによって直流リアクトル4を流れる電流 I_L は増減する。NチャネルパワーMOSFET 8bがオンしている時、直流リアクトル4を流れる電流 I_L は、(2)式に示した傾きで減少する。図7のようにNチャネルパワーMOSFET 8bがオンし続けると、次第に電流 I_L は減少して0(図7中 時間 t_{10})になり、ついには逆方向に流れ始める。この時、逆方向に流れる電流は、平滑コンデンサ5の蓄積電荷の放電である。従って、蓄積電荷の放電に伴い、平滑コンデンサ5の両端の電圧、すなわち出力電圧 V_{out} が下がる。ここで、電流の流れる方向が変わっても過渡モードを保持する。蓄積電荷はNチャネルパワーMOSFET 8bを介してGNDに流れ込み、これは損失となる。

【0056】蓄積電荷の放電にともない、基準電圧71まで出力電圧が下がったら(図7中時間 t_{11})、復帰モードに制御を切り替える。復帰モードでは、直流リアクトル4の電流 I_L が順方向に流れ出すまでNチャネルパワーMOSFET 8aをオンし続ける。電流方向識別回路10で、直流リアクトル4の電流 I_L が順方向に流れるのを検出したら(図7中 時間 t_{12})、電源回路を整流モード、すなわち降圧チョップ型DC-DCコンバータの動作に戻し、出力電圧 V_{out} を基準電圧71の設定値 V_{ref} に保つように動作させる。この方法でも、負荷に依らず平滑コンデンサ5の蓄積電荷の放電を行うことができるため、速やかに設定値まで出力電圧を持つていくことができる。また、負荷を完全に停止状態にする電力遮断の場合(すなわち、出力電圧0)も基本的動作、回路制御は同じである。平滑コンデンサ5の蓄積電荷を放電し終えて出力電圧が0になったら、その状態を保持するように動作する。ただし、この回路制御方法では、放電した蓄積電荷は損失となる。

【0057】上記説明では、過渡モードはリミッタ93の規定をオフしていたが、本発明はこれに限るものではない。リミッタ93を効かせたままでも、上記回路動作は実現できる。ただし、その場合直流リアクトル4に直流電源1から電流を流して蓄積する期間が周期的にあるので、その度に直流リアクトル4に蓄積した電流がなくなると前記逆流電流は流れない。従って、リミッタ

19

93の規定をオフした場合に比べ、蓄積電荷を放電しづらく出力電圧を収束させるまでの時間が長くなる。

【0058】次に電圧を上げる場合を説明する。出力電圧を上げるのに要する時間は、先に述べたように平滑コンデンサ5の充電に要する時間で決まる。これは、直流リアクトル4に流す電流 I_L の大きさ、すなわち直流電源1の電流を流す能力によって決まる。従って、ドライブ能力のある直流電源1にすれば、電圧を上げるのに要する時間(図4中 $t_2 - t_1$)は短くできる。

【0059】さらに、より速やかに出力電圧 V_{out} を基準電圧71まで上げることにもできる。この時の回路動作を図8に示す。出力電圧を上げる場合は、前記したように平滑コンデンサ5を充電しなければならない。図1の回路では、平滑コンデンサ5に充電できるのはNチャネルパワーMOSFET 8aがオンしている間だけである。そこで、基準電圧71を上げた(図8中 時間 t_{13})場合も、まず電源回路を過渡モードに設定する。過渡モードでは、前記したようにスイッチング制御回路9の内部にあるリミッタ93の規定をオフする。そのため、スイッチング制御回路9から出力されるパルス列の10 パルス幅制限ははずされる。従って出力電圧を上げるため、NチャネルパワーMOSFET 8aのゲート・ソース間に電圧パルス V_{ga} を印加する時間が長くなる。すなわち平滑コンデンサ5に充電し続けることになり、図4に示す制御より早く基準電圧まで上げることができる。基準電圧に達したら(図8中 時間 t_{14})、電源回路の制御を整流モードにして通常の降圧チョップ型DC-DCコンバータの動作に戻し、基準電圧71の設定値 V_{ref} に保つ。

【0060】上記説明では、過渡モードはリミッタ93の規定をオフしていたが、本発明はこれに限るものではない。リミッタ93を効かせたままでも、上記回路動作は実現できる。ただし、その場合直流リアクトル4に蓄積した電流を放出する期間が周期的にあり、その期間は平滑コンデンサ5に直流電源1からは充電されない。従って、リミッタ93の規定をオフした場合に比べ、平滑コンデンサ5の充電に時間がかかり、結果として出力電圧を収束させるまでの時間が長くなる。

【0061】以上述べた例では、図1のNチャネルパワーMOSFET 8a、8bのスイッチング制御によって、平滑コンデンサ5の放電や、充電を行い、出力電圧を変化させている。

【0062】(実施例4)従来技術として図2に示した降圧チョップ型DC-DCコンバータでは、図1のNチャネルパワーMOSFET 8bに相当する部分が還流ダイオード3で構成されており、スイッチング制御ができない。この回路構成では、直流リアクトル4に励磁されたエネルギーを放出する時、すなわち還流させる時には還流ダイオード3に電流が流れる。しかし、直流リアクトル4の逆方向電流を流すことはできないので、このま

20

までは平滑コンデンサ5の蓄積電荷を放電できない。この場合は平滑コンデンサ5の蓄積電荷を放電するための回路を付加すれば良い。以下、放電回路を付加した本実施例の回路動作、回路制御を説明する。

【0063】本実施例を図10に示す。図10は、図2に示したタイプの降圧チョップ型DC-DCコンバータに、平滑コンデンサ5の蓄積電荷を放電するための放電回路11を付加した回路構成となっている。図10において、図1、図2と同じ回路、機能のブロックには同じ10 記号を付与している。その他に、11は平滑コンデンサ5の蓄積電荷を放電する放電回路、また放電回路11の一構成例として、111はダイオード、112は直流リアクトル、8cはNチャネルパワーMOSFET、15cは駆動回路である。ここで平滑コンデンサ5は、電気二重層コンデンサに代表される大容量で内部インピーダンスが低いコンデンサである。

【0064】図10において、直流電源1の正極はNチャネルパワーMOSFET 8aのドレインに接続され、NチャネルパワーMOSFET 8aのソースは直流リアクトル4の一方の端子と還流ダイオード3のカソードに20 接続される。直流リアクトル4のもう一方の端子は平滑コンデンサ5の正極に接続される。平滑コンデンサ5の負極と還流ダイオード3のアノード、それに直流電源1の負極が接続される。平滑コンデンサ5の両端に負荷6が接続される。

【0065】平滑コンデンサ5の正極、すなわち出力は、出力電圧フィードバック回路7に入力される。出力電圧フィードバック回路7では、出力電圧と出力電圧フィードバック回路7内の基準電圧を比較し、誤差信号を30 出力する。この誤差信号は、スイッチング制御回路9に入力され、例えばPWM制御信号に変換され出力される。スイッチング制御回路9の出力は、駆動回路15aに接続される。駆動回路15aの出力はNチャネルパワーMOSFET 8aのゲートに接続される。

【0066】平滑コンデンサ5の正極は、また放電回路11内の直流リアクトル112に入力される。直流リアクトル112の平滑コンデンサ5と接続している反対端は、ダイオード111のアノードとNチャネルパワーMOSFET 8cのドレインに接続される。NチャネルパワーMOSFET 8cのソースは平滑コンデンサ5の負40 極と接続される。駆動回路15cにはスイッチング制御回路9からの制御信号が入力され、ゲート・ソース間電圧パルス V_{gc} が出力され、NチャネルパワーMOSFET 8cのゲート・ソース間に印加される。ダイオード111のカソードは放電回路11の出力として、直流電源1に接続される。

【0067】前述したように、図10の回路構成は、降圧チョップ型DC-DCコンバータに放電回路11を付加したもので、定常時は放電回路11を動作させず、通常の降圧チョップ型DC-DCコンバータとして動か50

し、出力電圧 V_{out} を一定値に保つ。なお、放電回路11を動作させない時は、NチャネルパワーMOSFET8cをオフする。この時の降圧チョッパ型DC-DCコンバータ部分の動作は、図2で示した従来技術と同じであるので説明を省略する。

【0068】次に出力電圧を上げる場合を説明する。前述のように、出力電圧を上げるには平滑コンデンサ5を充電しなければならない。図10の回路では、平滑コンデンサ5に充電できるのはNチャネルパワーMOSFET8aがオンしている間だけである。従って、この場合も放電回路11は動作させず、図1で示した実施例と同様の回路制御を行う。この時のNチャネルパワーMOSFET8aの制御は前述した回路制御と同じなので、ここでは説明を省略する。

【0069】次に出力電圧を下げる場合を説明する。図10では還流ダイオード3があるため、実施例1のように直流リアクトル4に逆方向電流を流すことができない。負荷6が軽負荷の場合は蓄積電荷を放電できず、このままでは出力電圧をなかなか下げることができない。そこで、放電回路11を用いて、蓄積電荷を放電する。以下、回路動作を説明する。電圧を下げる場合は、NチャネルパワーMOSFET8aをオフにし、放電回路11のNチャネルパワーMOSFET8cをオンする。この時点で直流リアクトル4に励磁されていたエネルギーは放電回路11の直流リアクトル112に放出され、ついには平滑コンデンサ5の蓄積電荷が放電され始める。これにより負荷6が軽負荷であっても、平滑コンデンサ5の蓄積電荷を放電でき、出力電圧を下げるができる。しかし、このままNチャネルパワーMOSFET8cをオンし続けると、放電された電荷はNチャネルパワーMOSFET8cを介して接地され損失となる。そこで、本実施例でも放電する蓄積電荷の再利用を行う。MOSFET8cのオン/オフ制御によって、放電回路11を昇圧チョッパ型DC-DCコンバータとして動作させる。この時、図10に示す本実施例では、直流電源が平滑コンデンサ5、スイッチング素子がNチャネルパワーMOSFET8c、整流素子がダイオード111、負荷が直流電源1とみなすことができる。従って、蓄積電荷はNチャネルパワーMOSFET8cがオンしている間に直流リアクトル112に励磁エネルギーとして貯えられ、NチャネルパワーMOSFET8cがオフすると、励磁エネルギーがダイオード111を介して直流電源1に放出される。ここで、直流電源1が充電可能なバッテリーであれば、上記蓄積電荷を直流電源1に回生できる。

【0070】上記放電回路11の回路制御により、負荷6に依らず平滑コンデンサ5の蓄積電荷を放電して、さらに放電した電荷を直流電源1に回生する。蓄積電荷を放電して出力電圧 V_{out} が下がり、設定値に達したらNチャネルパワーMOSFET8cをオフして放電回路11の動作を止め、降圧チョッパ型DC-DCコンバータの動作に

戻す。以降電源回路は、出力電圧 V_{out} 設定値に保つように動作する。

【0071】(実施例5) 本実施例は図11に示すように、実施例4の直流電源1の両極に電荷蓄積手段、例えばコンデンサを配した。図11において、直流電源1の両極にコンデンサ12を接続することで、直流電源1が充電可能なバッテリーで無い場合も、平滑コンデンサ5の蓄積電荷放電をコンデンサ12に回生できる。これ以外の回路構成や、回路動作は実施例3と同様である。

【0072】以上の各実施例で述べたように、本発明の回路構成、回路制御方法によれば、負荷に依らず平滑コンデンサ5の蓄積電荷の放電が可能となり、出力電圧を設定値まで速やかに変えることが可能となる。また、本回路の回路制御方法によれば、放電する蓄積電荷をバッテリーの充電等に回生できる。

【0073】

【発明の効果】本発明によれば、大容量の平滑コンデンサを用いて、低リップル電圧で、かつ負荷に依らず出力電圧を速やかに変更できる電源装置を実現できる。また、本発明の回路制御によれば、平滑コンデンサの蓄積電荷を回生することができ、高効率化を図ることができる。また、複数レギュレータの並列方法と比べ電源装置の部品点数が少なく、装置の小型化にも有効である。

【図面の簡単な説明】

【図1】実施例1のDC-DCコンバータの構成図である。

【図2】従来技術のDC-DCコンバータの構成図である。

【図3】実施例1の定常状態での各部信号波形を示す図である。

【図4】実施例1で出力電圧を上げる時の各部信号波形を示す図である。

【図5】実施例1で出力電圧を下げる時の各部信号波形を示す図である。

【図6】実施例2で出力電圧を下げる時の各部信号波形を示す図である。

【図7】実施例3で出力電圧を下げる時の各部信号波形を示す図である。

【図8】実施例3の出力電圧を上げる時の別の制御方法による各部信号波形を示す図である。

【図9】実施例2のDC-DCコンバータの構成図である。

【図10】実施例4のDC-DCコンバータの構成図である。

【図11】実施例5のDC-DCコンバータの構成図である。

【符号の説明】

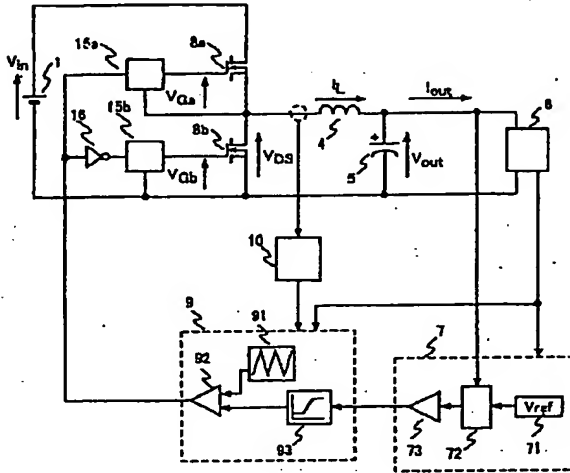
1…直流電源、2…PチャネルパワーMOSFET、3…環流ダイオード、4…直流リアクトル、5…平滑コンデンサ、6…負荷、7…出力電圧フィードバック回路、

8 a, 8 b, 8 c…NチャネルパワーMOSFET、9
…スイッチング制御回路、10…電流方向識別回路、1
1…放電回路、12…コンデンサ、15 a, 15 b, 15
c…駆動回路、16…反転回路、71…基準電圧、72

…誤差演算回路、73…誤差増幅器、91…三角波発生
手段、92…比較器、93…リミッタ、111…ダイオ
ード、112…直流リアクトル。

【図1】

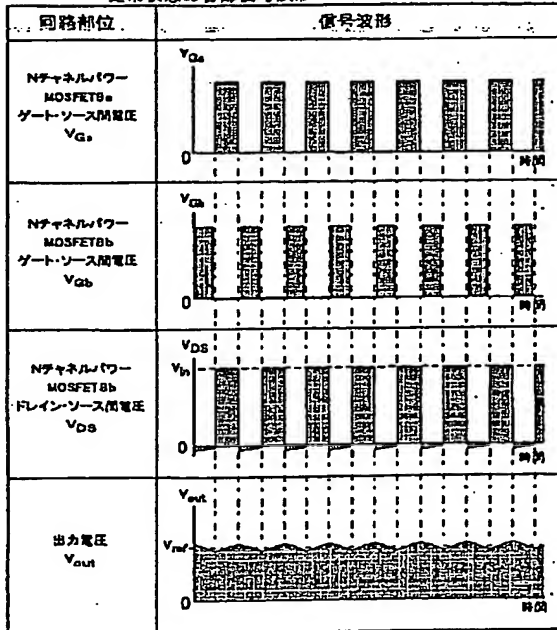
図 1



【図3】

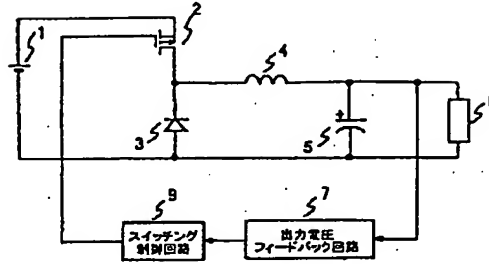
図 3

定常状態の各部信号波形



【図2】

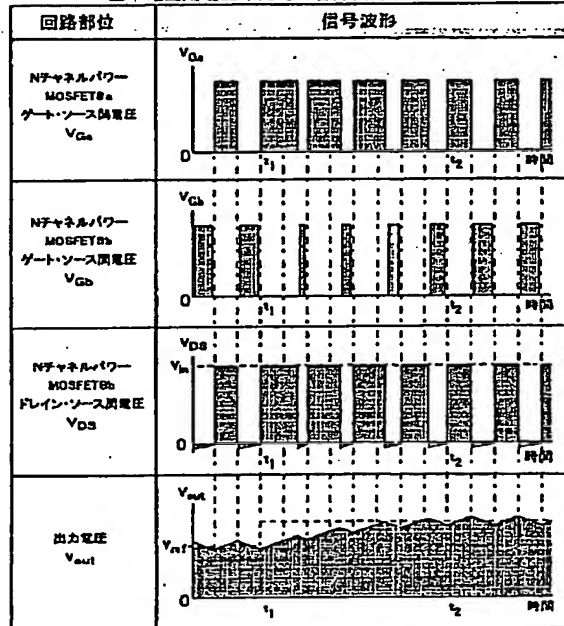
図 2



【図4】

図 4

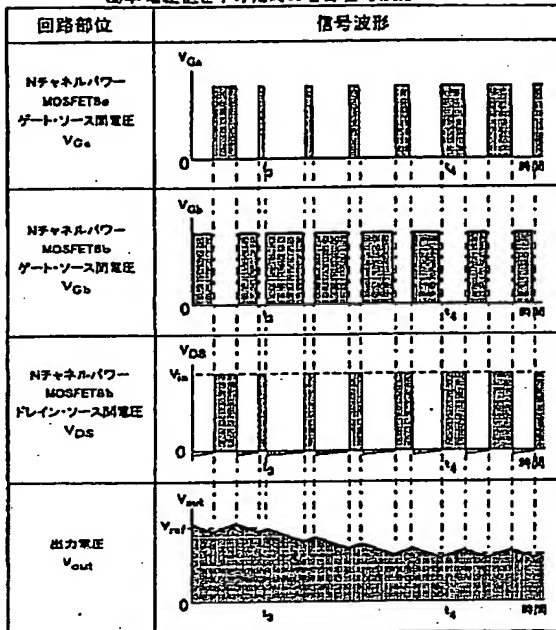
基準電圧関数を上げた時の各部信号波形



【図5】

図 5

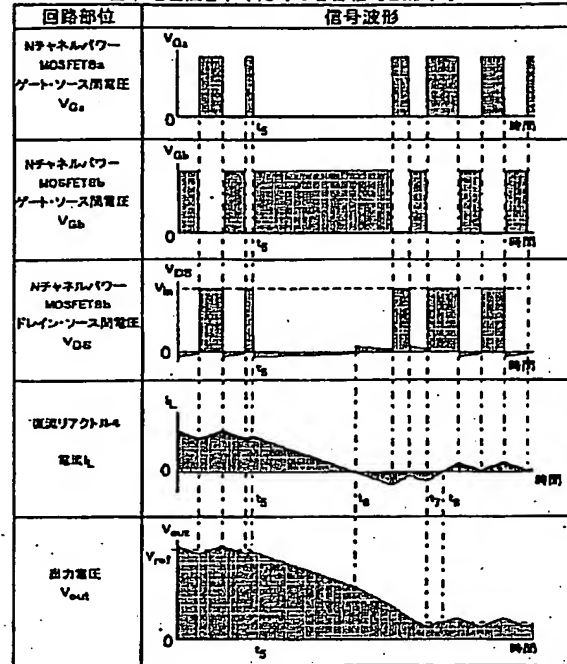
基準電圧値を下げた時の各部信号波形



【図6】

図 6

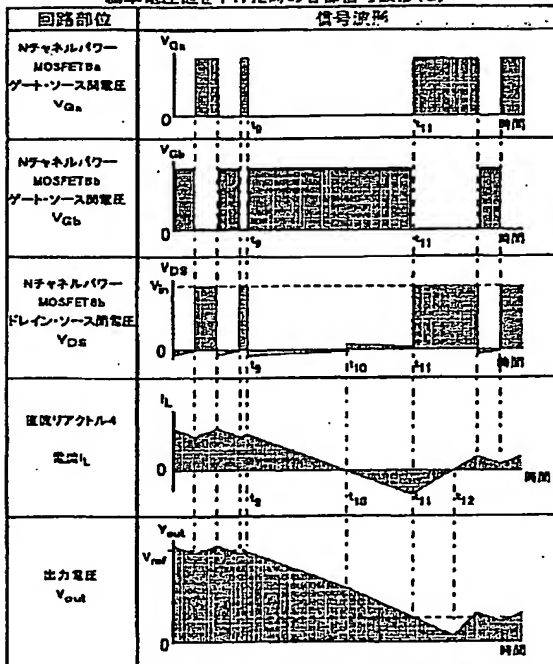
基準電圧値を下げた時の各部信号波形(2)



【図7】

図 7

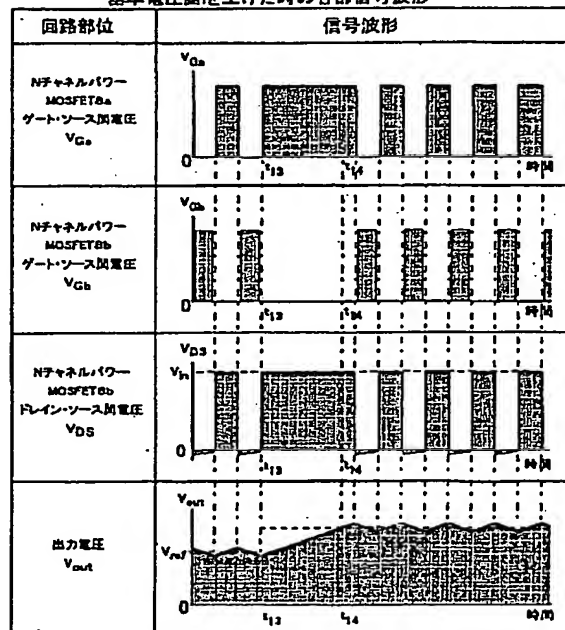
基準電圧値を下げた時の各部信号波形(3)



【図8】

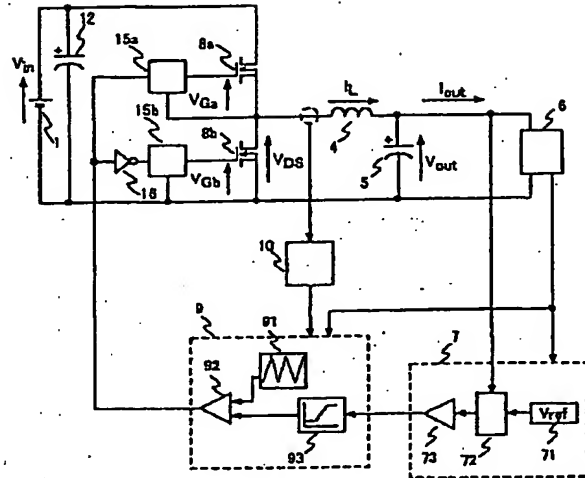
図 8

基準電圧値を上げた時の各部信号波形



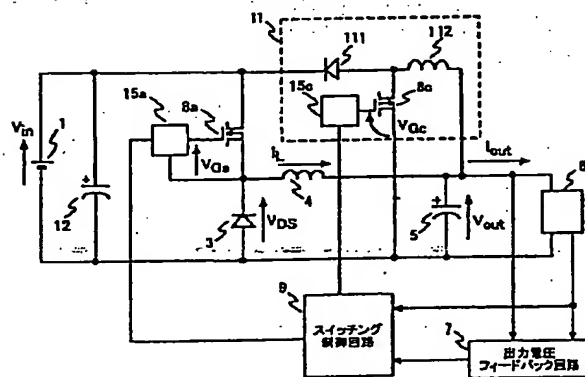
【図 9】

図 9



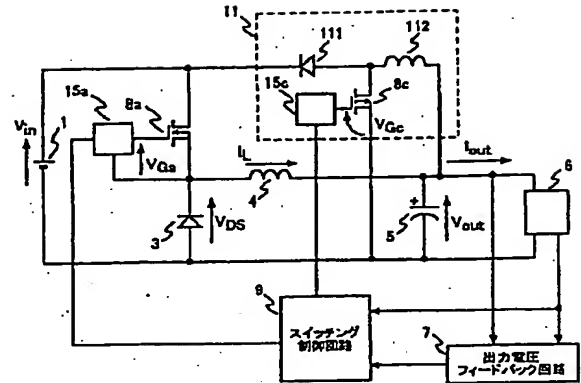
【図 11】

図 11



【図 10】

図 10



フロントページの続き

(72)発明者 徳永 紀一
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内
 (72)発明者 嵯峨 良平
 群馬県高崎市西横手町111番地 株式会社
 日立製作所半導体グループ内

(72)発明者 細川 恭一
 群馬県高崎市西横手町111番地 株式会社
 日立製作所半導体グループ内
 Fターム(参考) 5H730 AA00 AS19 BB11 BB57 DD04
 DD26 DD34 EE08 EE59 FD03
 FD53 FF02 FG05

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.